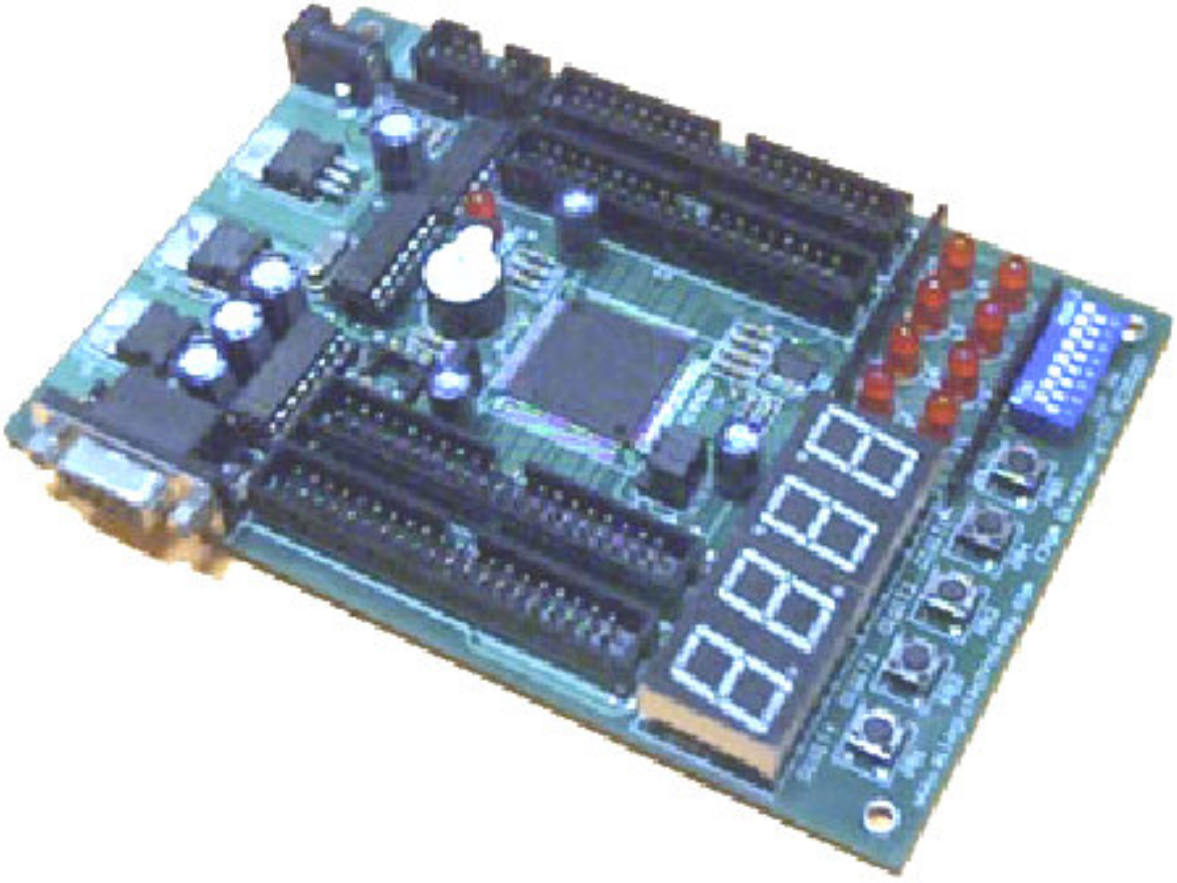
FPGA Discovery-III XC3S200F

FPGA Discovery-III XC3S200F4

Board Manual



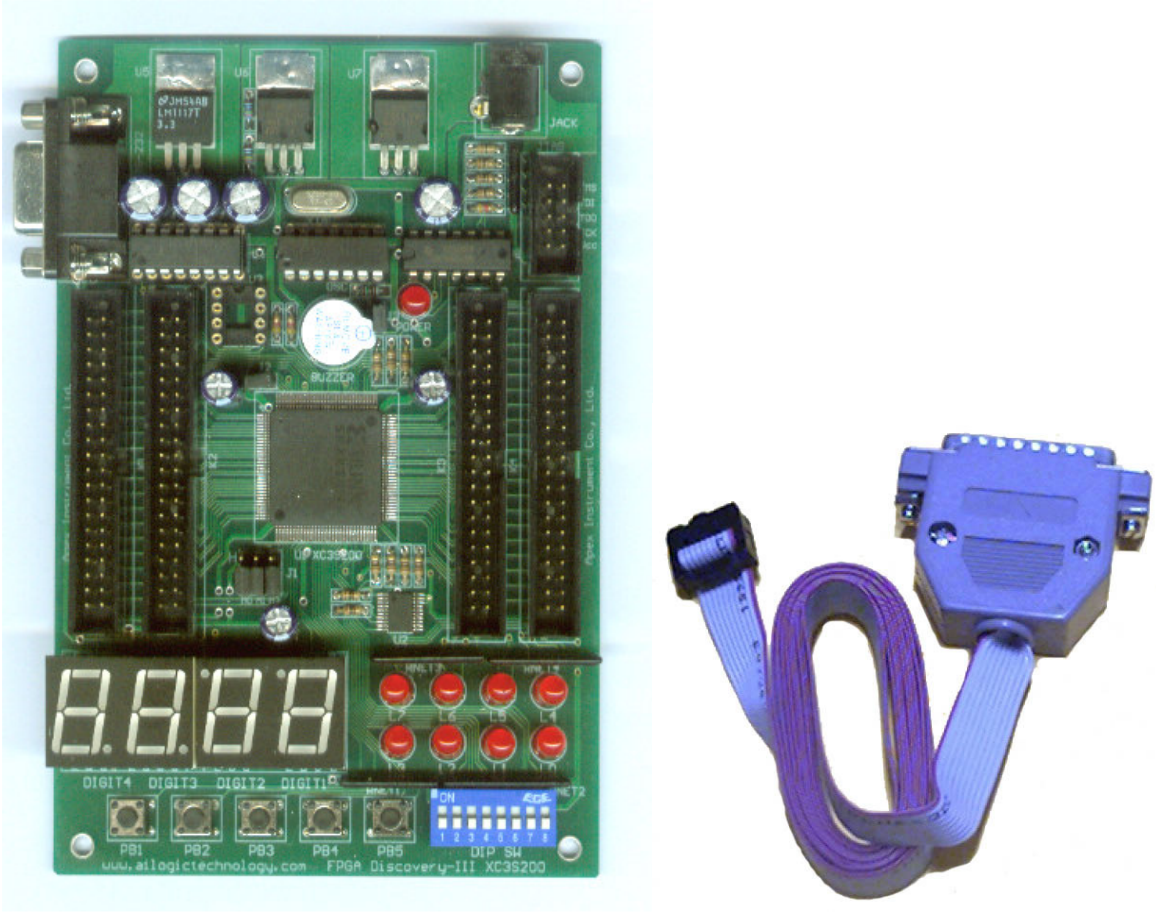
บริษัท เอเพก อินสตรูเมนต์ จำกัด **APEX INSTRUMENT CO., LTD.**

77/9 ซอยลาดพร้าว 1 ถนนลาดพร้าว แขวงจอมพล เขตจตุจักร กรุงเทพมหานคร 10900 โทร. :0-2939-2084 แฟกซ์ : 0-2939-2084

77/9 SOI LADPRAO 1, LADPRAO ROAD, JOMPOL, JATUJAK DISTRICT, BANGKOK THAILAND 10900 TEL/FAX.66(0)2939-2084

FPGA Discovery-III XC3S200

บอร์ดทดลองอเนกประสงค์รุ่น FPGA Discovery-III XC3S200 มีรายละเอียดแสดงดังรูปที่ 1 มีความจุวงจรสูง 200,000 - 400,000 เกตและใช้ Platform Flash PROM สำหรับเก็บข้อมูลวงจร สามารถโปรแกรมวงจรลง Platform Flash PROM ผ่านทางสายดาวน์โหลดแบบ JTAGได้โดยตรง บนบอร์ดมีอุปกรณ์อำนวยความสะดวกที่เพียบพร้อมด้วยอุปกรณ์อินพุตเอาต์พุตอย่างครบครัน จึงเหมาะสำหรับ LAB ออกแบบวงจรดิจิตอลและออกแบบไอซีขั้นสูง งานพัฒนาออกแบบวงจรขนาดใหญ่



รูปที่ 1 บอร์ดทดลองเอนกประสงค์ FPGA Discovery-III XC3S200

1) คุณสมบัติทั่วไป

บอร์ดทดลองเอนกประสงค์ FPGA Discovery-III XC3S200 มี 2 รุ่นด้วยกันคือ

- FPGA Discovery-III XC3S200F (รุ่น 200,000 เกต)
- FPGA Discovery-III XC3S200F4 (รุ่น 400,000 เกต)

บอร์ด FPGA Discovery-III XC3S200F และ FPGA Discovery-III XC3S200F4 จะมีลักษณะเหมือนกันทุกประการ แต่จะแตกต่างกันคือ FPGA Discovery-III XC3S200F จะใช้ FPGA ตระกูล Spartan-3 ของ Xilinx เบอร์ XC3S200-4TQ144C (หรือ XC3S200-4TQG144C) ซึ่งเป็น FPGA ขนาดความจุวงจร 200,000 เกต, Package แบบ TQ144, Speed Grade:4 และ Platform Flash PROM เบอร์ XCF01SVO20C (หรือ XCF01SVOG20C) ในขณะที่ FPGA Discovery-III XC3S200F4 จะใช้ชิพ FPGA เบอร์ XC3S400-4TQ144C (หรือ XC3S400-4TQG144C) ซึ่งเป็น FPGA ขนาด 400,000 เกต Package แบบ TQ144, Speed Grade:4 และ Platform Flash PROM เบอร์ XCF02SVO20C (หรือ XCF02SVOG20C) ที่สามารถโปรแกรมข้อมูลวงจรซ้ำได้ ถึง 20,000 ครั้ง คุณสมบัติอื่นๆเป็นดังนี้

- 7-Segment จำนวน 4 หลัก (ใช้ร่วมกับ Expansion ports และสามารถถอดออกได้)
- LED จำนวน 8 ดวง (ใช้ร่วมกับ Expansion ports สามารถแยกออกจาก I/O ได้โดยหักเอา RNET3 และ RNET4 ออก)
- Buzzer จำนวน 1 ตัว (ใช้ร่วมกับ Expansion ports)
- DIP Switch 8 บิต
- Push Botton Switch จำนวน 5 ตัว
- Expansion ports (80 Bits 3.3V. I/O)
- RS-232C Port 1 Port (ใช้ร่วมกับ Expansion ports)
- I^2C Socket สำหรับ EEPROM (ใช้ร่วมกับ Expansion ports)
- 25 Mhz Oscillator (สามารถโปรแกรมเป็นความถี่อื่นๆ ได้โดยใช้ Digital Frequency Synthesizer มีที่อยู่ใน FPGA)

2) คุณสมบัติที่สำคัญของชิพ FPGA ตระกูล Spartan-3 เบอร์ XC3S200

- ความจุวงจร 200,000 เกต
- 18Kb block RAMs จำนวน 12 ชุด (รวม 216Kb)
- 18x18 hardware multiplier จำนวน 12 ชุด
- Digital Clock Manager (DCM) จำนวน 4 ชุด

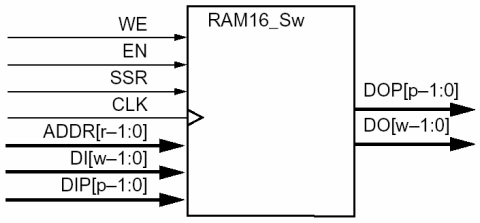
3) คุณสมบัติที่สำคัญของชิพ FPGA ตระกูล Spartan-3 เบอร์ XC3S400

- ความจุวงจร 200,000 เกต
- 18Kb block RAMs จำนวน 16 ชุด (รวม 288Kb)
- 18x18 hardware multiplier จำนวน 16 ชุด
- Digital Clock Manager (DCM) จำนวน 4 ชุด

โดยอุปกรณ์ที่อยู่ภายในชิพมีคุณสมบัติดังนี้

1.หน่วยความจำ 18Kb block RAM

18Kb block RAM เป็นหน่วยความจำที่มีความเร็วสูงมาก (โดยประมาณ) 200 Mhz ที่มีอยู่ในชิพสามารถฟอร์มให้เป็น RAM หรือ ROM ที่มีขนาดต่างๆ กันได้รวมทั้งทำเป็น FIFO ได้ด้วย โดยรูปที่ 2 แสดงขนาด RAM แบบ Single Port ในรูปที่ 3 แสดงตัวอย่าง RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด



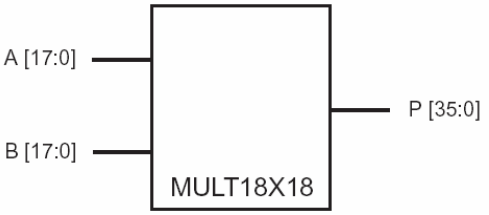
รูปที่ 2 แสดงขนาด RAM แบบ Single Port

Organization	Memory Depth	Data Width	Parity Width
512x36	512	32	4
1Kx18	1024	16	2
2Kx9	2048	8	1
4Kx4	4096	4	-
8Kx2	8192	2	-
16Kx1	16384	1	-

รูปที่ 3 RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด

2. 18x18 Hardware multiplier

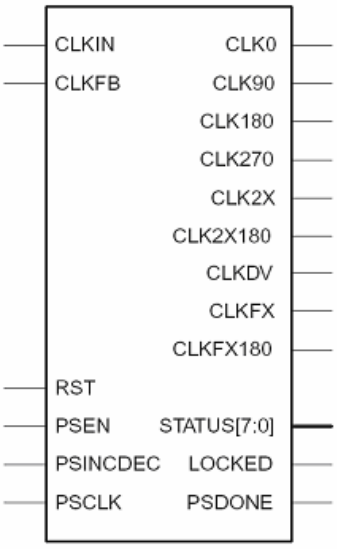
18x18 hardware multiplier เป็นฮาร์ดแวร์ของวงจรคูณสำเร็จรูปขนาด 18x18 บิตที่มีความเร็วในการทำงานสูง ซึ่งมีสัญลักษณ์ดังรูปที่ 4 สำหรับคนที่ต้องการตัวคูณมากๆอาจจะต้องใช้วิธีมัลติเพล็กซ์เข้าช่วย



รูปที่ 4 สัญลักษณ์ของ 18x18 hardware multiplier

3. Digital Clock Manager

Digital Clock Manager (DCM) เป็นวงจรที่ช่วยจัดการเกี่ยวกับสัญญาณนาฬิกาและเลื่อนเฟส มีจำนวน 4 ชุด จึงทำให้การออกแบบวงจรง่ายขึ้นเนื่องจากสามารถสร้างความถี่ต่างๆได้จากออสซิลเตอร์ภายนอกเพียงชุดเดียวและเอาต์พุตซิงค์โครไนซ์กับสัญญาณของออสซิลเลเตอร์เดิมอีกด้วย DCM มีสัญลักษณ์แสดงดังรูปที่ 5 ซึ่ง DCMจะทำงานในหน้าที่ดังต่อไปนี้

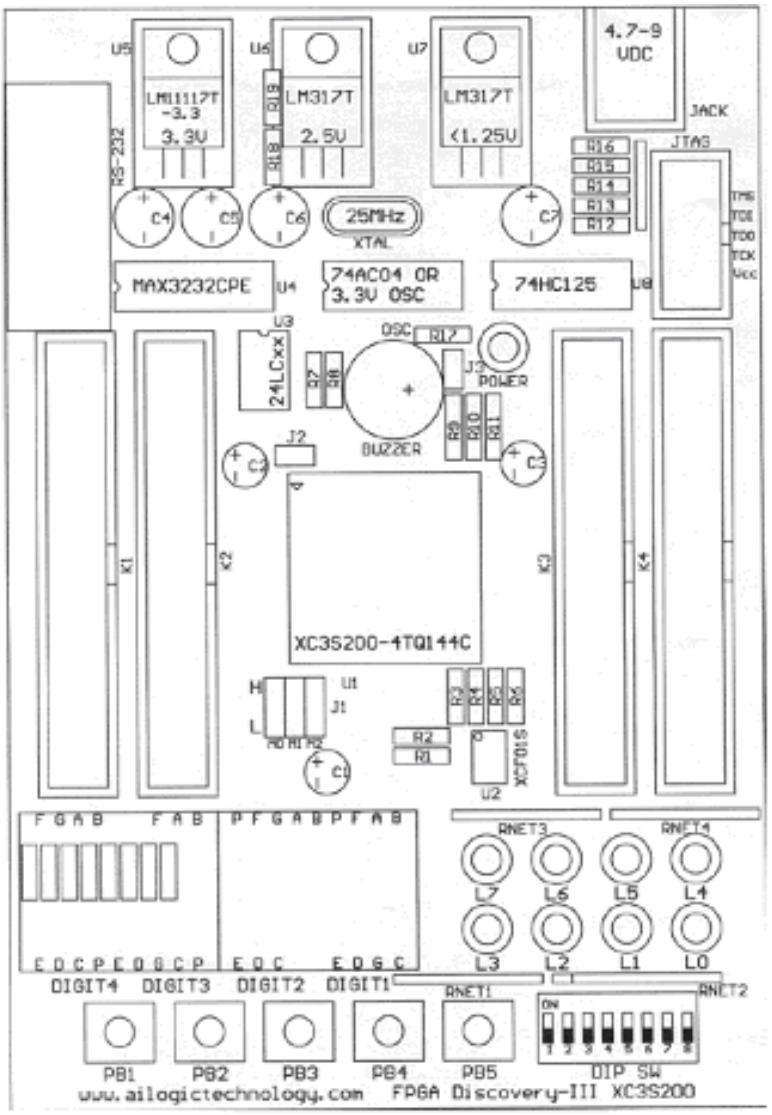


รูปที่ 5 สัญลักษณ์ของวงจร DCM

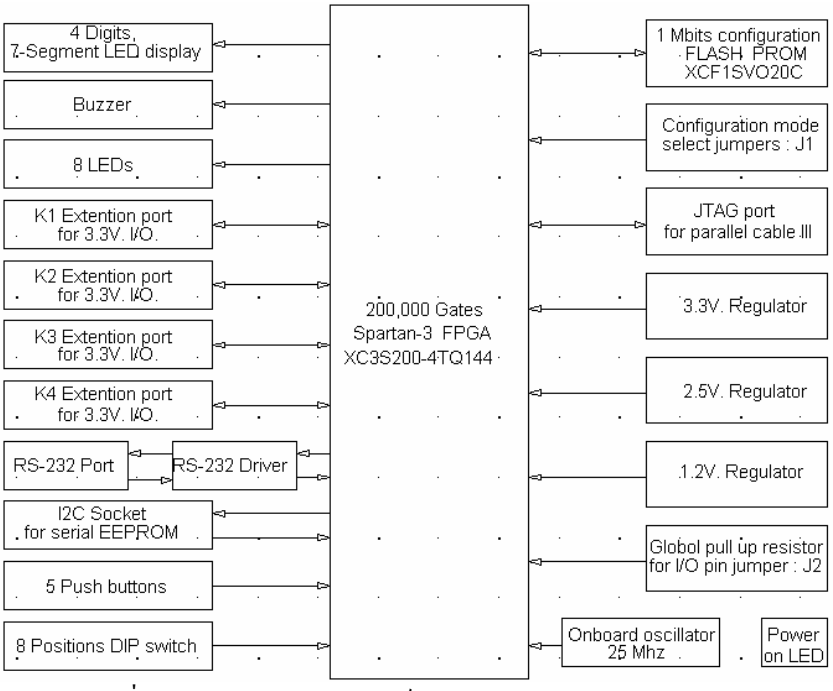
- หารความถี่ (Clock Divider) เป็นวงจรหารซึ่งจะให้ความถี่เอาต์พุตเท่ากับความถี่อินพุตหารด้วยตัวเลขดังต่อไปนี้ คือ 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, 11,12, 13, 14, 15, หรือ 16 ตามลำดับ
- สร้างความถี่สองเท่า (Clock Doubler) เป็นวงจรซึ่งจะให้ความถี่ที่เอาต์พุตจะเป็น 2 เท่าของความถี่อินพุต
- Digital Frequency Synthesizer (DFS) เป็นวงจรซึ่งสามารถกำหนดให้ความถี่เอาต์พุตเท่ากับผลคูณของความถี่อินพุตกับอัตราส่วนของ M/D โดยที่ M = 2 ถึง 32 และ D = 1 ถึง 32 เช่น ต้องการความถี่ 66.66666 Mhz แต่ออสซิลเลเตอร์บนบอร์ดนี้คือ 25 Mhz เป็นสัญญาณอินพุตให้กับ DFS ดังนั้นต้องกำหนดให้ M=8 และD=3 Delay-Locked Loop (DLL) เป็นวงจรใช้แก้ปัญหาการเลื่อนเฟสในวงจรให้กลับมาตรงตามเฟสที่ต้องการ
- Quadrant Phase Shift เป็นวงจรเลื่อนเฟส 90 , 180 และ 270 องศา ตามลำดับ
- Fine Phase Shift เป็นวงจรใช้ในการเลื่อนเฟสอย่างละเอียด มีความละเอียดอยู่ที่ 1/ 255 เท่าของคาบความถี่

4) หลักการทำงานของบอร์ดอเนกประสงค์

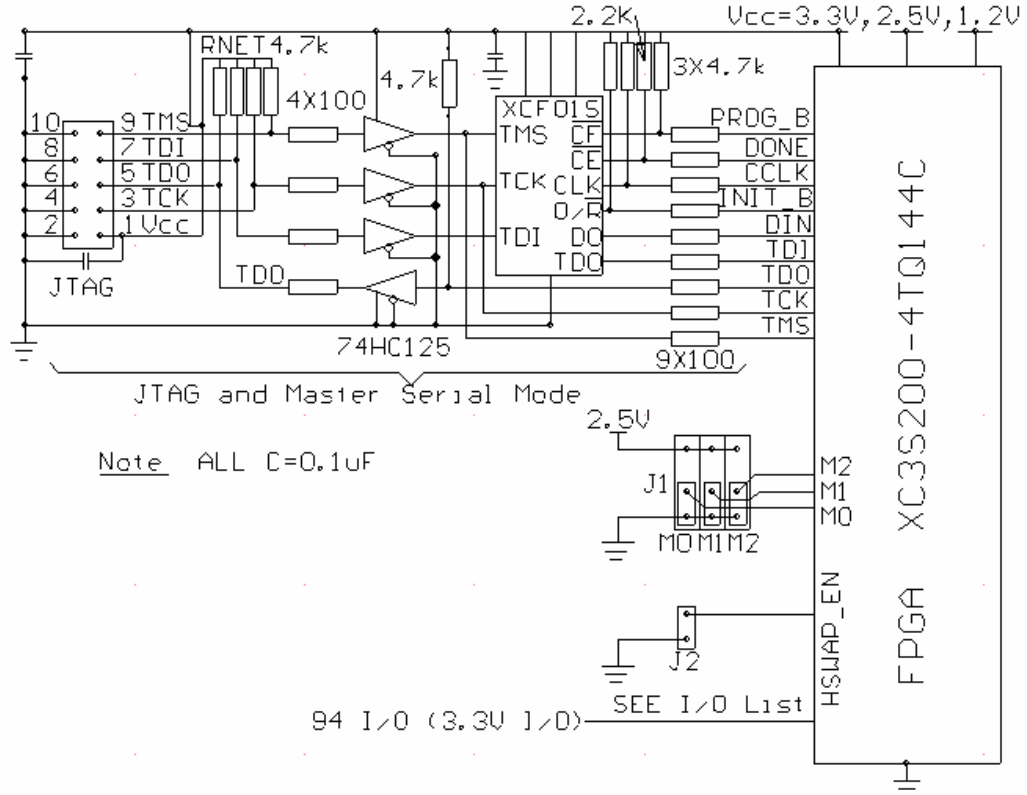
บอร์ดทดลองอเนกประสงค์รุ่น FPGA Discovery-III XC3S200 มีการจัดวางอุปกรณ์ดังรูปที่ 6 มีบล็อกไดอะแกรมดังรูปที่ 7 รายละเอียดการจัดวาง I/O (โดยย่อ) แสดงดังรูปที่8 และอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) แสดงตามรายการในตารางที่ 1



รูปที่ 6 การจัดวางตำแหน่งการวางอุปกรณ์ด้านบน



รูปที่ 7 ผังส่วนประกอบของบอร์ด FPGA Discovery-III XC3S200



รูปที่ 8 การจัดวาง I/O ต่างๆของ FPGA Discovery-III XC3S200(โดยย่อ)

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List)

7-Segment	FPGA Pinout	Descriptions
a	p40	a
b	p35	b
c	p32	c
d	p30	d
e	p27	e
f	p25	f
g	p23	g
dp	p20	Decimal Point
DIGIT1	p31	DIGIT1 , COMMON CATHODE
DIGIT2	p33	DIGIT2 , COMMON CATHODE
DIGIT3	p36	DIGIT3 , COMMON CATHODE
DIGIT4	p41	DIGIT4 , COMMON CATHODE

Push Botton	FPGA Pinout	Descriptions
PB1	p44	Push Botton No. 1
PB2	p46	Push Botton No. 2
PB3	p47	Push Botton No. 3
PB4	p50	Push Botton No. 4
PB5	p51	Push Botton No. 5

EEPROM	FPGA Pinout	Descriptions
I2C-SCL	p128	24LCXX
I2C-SDA	p129	24LCXX

RS-232	FPGA Pinout	Descriptions
TX	p131	ICL3232CP
RX	p132	ICL3232CP

LED	FPGA Pinout	Descriptions
L0	p70	L0
L1	p77	L1
L2	p69	L2
L3	p76	L3
L4	p74	L4
L5	p79	L5
L6	p73	L6
L7	p78	L7

Dip SW	FPGA Pinout	Description
1	p52	Dip Switch No.1
2	p53	Dip Switch No.2
3	p55	Dip Switch No.3
4	p56	Dip Switch No.4
5	p59	Dip Switch No.5
6	p60	Dip Switch No.6
7	p63	Dip Switch No.7
8	p68	Dip Switch No.8

Oscillator	FPGA Pinout	Descriptions
OSC	p127	25MHz , GCLK6

BUZZER	FPGA Pinout	Descriptions
BUZZER	p125	BUZZER

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K1 CONNECTOR					
Descriptions	FPGA Pinout	k1 Pinout	k1 Pinout	FPGA Pinout	Descriptions
GND	-	40	39	p128	I/O , I2C-SCL
GND	-	38	37	p130	I/O
GND	-	36	35	p132	I/O , RS-232(RX)
GND	-	34	33	p137	I/O
GND	-	32	31	p141	I/O
GND	-	30	29	p2	I/O
GND	-	28	27	p5	I/O
GND	-	26	25	p7	I/O
GND	-	24	23	p10	I/O
GND	-	22	21	p12	I/O
GND	-	20	19	p14	I/O
GND	-	18	17	p17	I/O
GND	-	16	15	p20	I/O , dp-7 Segment
GND	-	14	13	p23	I/O , g-7 Segment
GND	-	12	11	p25	I/O , f-7 Segment
GND	-	10	9	p27	I/O , e-7 Segment
GND	-	8	7	p30	I/O , d-7 Segment
GND	-	6	5	p32	I/O , c-7 Segment
GND	-	4	3	p35	I/O , b-7 Segment
+3.3V.Vcc	-	2	1	p40	I/O , a-7 Segment

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K2 CONNECTOR					
Descriptions	FPGA Pinout	K2 Pinout	K2 Pinout	FPGA Pinout	Descriptions
GND	-	40	39	p129	I/O , I2C-SDA
GND	-	38	37	p131	I/O , RS-232(TX)
GND	-	36	35	p135	I/O
GND	-	34	33	p140	I/O
GND	-	32	31	p1	I/O
GND	-	30	29	p4	I/O
GND	-	28	27	p6	I/O
GND	-	26	25	p8	I/O
GND	-	24	23	p11	I/O
GND	-	22	21	p13	I/O
GND	-	20	19	p15	I/O
GND	-	18	17	p18	I/O
GND	-	16	15	p21	I/O
GND	-	14	13	p24	I/O
GND	-	12	11	p26	I/O
GND	-	10	9	p28	I/O
GND	-	8	7	p31	I/O , DIGIT1
GND	-	6	5	p33	I/O , DIGIT2
GND	-	4	3	p36	I/O , DIGIT3
+3.3V. Vcc	-	2	1	p41	I/O , DIGIT4

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K3 CONNECTOR					
Descriptions	FPGA Pinout	K3 Pinout	K3 Pinout	FPGA Pinout	Descriptions
I/O	p124	40	39	-	GND
I/O	p122	38	37	-	GND
I/O	p118	36	35	-	GND
I/O	p113	34	33	-	GND
I/O	p108	32	31	-	GND
I/O	p105	30	29	-	GND
I/O	p103	28	27	-	GND
I/O	p100	26	25	-	GND
I/O	p98	24	23	-	GND
I/O	P96	22	21	-	GND
I/O	p93	20	19	-	GND
I/O	p90	18	17	-	GND
I/O	p87	16	15	-	GND
I/O	p85	14	13	-	GND
I/O	p83	12	11	-	GND
I/O	p80	10	9	-	GND
I/O , L7	p78	8	7	-	GND
I/O , L3	p76	6	5	-	GND
I/O , L6	p73	4	3	-	GND
I/O , L2	p69	2	1	-	+3.3 V. Vcc

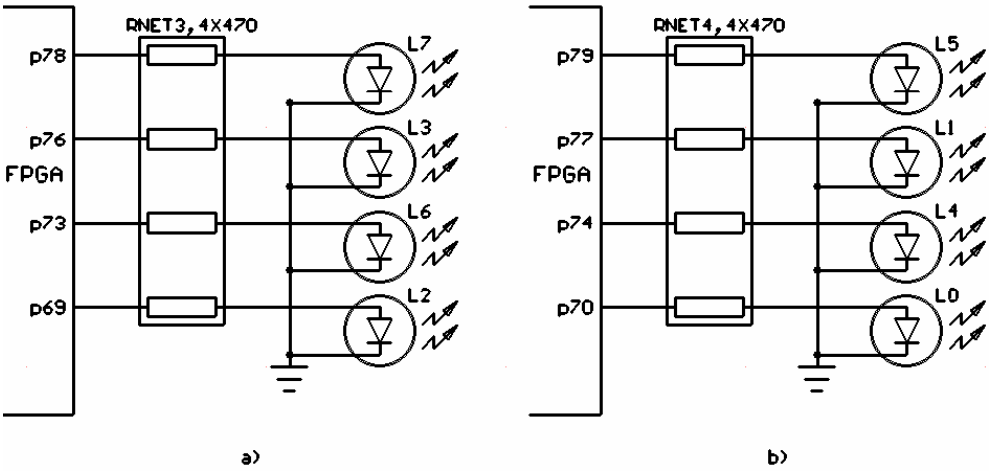
ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K4 CONNECTOR					
Descriptions	FPGA Pinout	K4 Pinout	K4 Pinout	FPGA Pinout	Descriptions
I/O,BUZZER	p125	40	39	-	GND
I/O	p123	38	37	-	GND
I/O	p119	36	35	-	GND
I/O	p116	34	33	-	GND
I/O	p112	32	31	-	GND
I/O	p107	30	29	-	GND
I/O	p104	28	27	-	GND
I/O	p102	26	25	-	GND
I/O	p99	24	23	-	GND
I/O	p97	22	21	-	GND
I/O	p95	20	19	-	GND
I/O	p92	18	17	-	GND
I/O	p89	16	15	-	GND
I/O	p86	14	13	-	GND
I/O	p84	12	11	-	GND
I/O	p82	10	9	-	GND
I/O , L5	p79	8	7	-	GND
I/O , L1	p77	6	5	-	GND
I/O , L4	p74	4	3	-	GND
I/O , L0	p70	2	1	-	+3.3V. Vcc

4.1) เอาต์พุตของบอร์ดทดลอง

a) LED แสดงผล

ด้านเอาต์พุตบอร์ดทดลองนี้จะมี LED จำนวน 8 ดวงคือ LED0–LED7 โดยต่อขาคาโถด (Cathode) ลงกราวด์และต่อขาแอโนดเข้ากับ I/O ของชิพ FPGA มีตัวต้านทานแบบเนตเวิร์ค R=470 โอห์มคือ RNET3 และ RNET4 ต่ออนุกรมอยู่เพื่อจำกัดกระแสดังรูปที่ 9 ดังนั้นถ้า FPGA ส่งลอจิก '1' มาที่ขาใดจะทำให้ LED ติดสว่าง ขา I/O ที่ขับ LED และขา I/O บางขาของคอนเนคเตอร์ K3 และ K4 ต่อพ่วงกันอยู่ (โปรดดูจากตารางที่ 1) ดังนั้นหากต้องการใช้ I/O ของ K3 และ K4 ตรงส่วนนี้หรือไม่ต้องการใช้ LED ก็สามารถหักตัวต้านทานแบบเนตเวิร์คทิ้งได้ง่าย

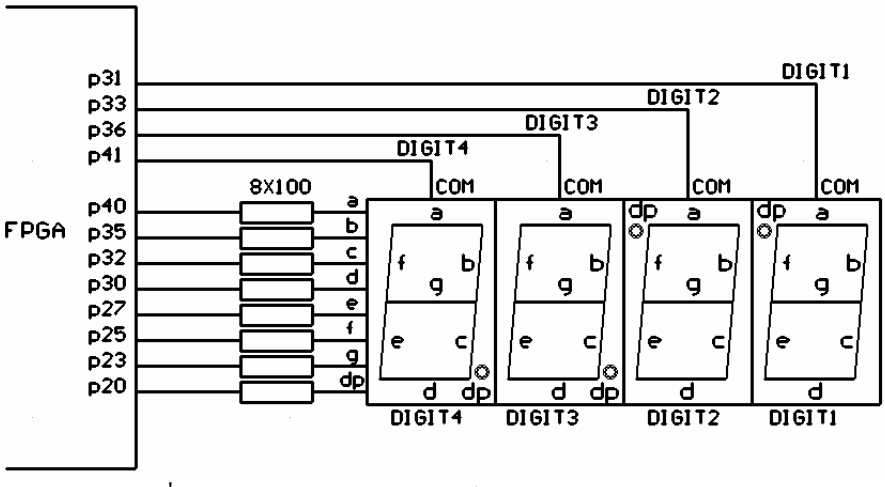


รูปที่ 9 การต่อ LED เข้ากับขาต่างๆของ CPLD

b) ตัวแสดงผลเซเวนเซกเมนต์

ตัวแสดงผลเซเวนเซกเมนต์ (7-Segment) มี 4 หลักคือ DIGIT4 - DIGIT1 โดยที่ทุกหลักจะใช้สายสัญญาณข้อมูลร่วมกันแต่สายของคาโถดร่วม (Common Common) ของแต่ละหลักจะแยกออกจากกันแสดงดังรูปที่ 10 การแสดงผลทั้ง 4 หลักพร้อมๆกันจะใช้เทคนิคการสแกน ซึ่งโดยทั่วไปตาคนเราจะมองแยกได้ที่ประมาณ 25–30 ครั้งต่อวินาที ดังนั้นจึงต้องสแกนด้วยความเร็วไม่น้อยกว่า 30 ครั้งx4 หลัก = 120 ครั้งต่อวินาทีจึงจะไม่เห็นการกระพริบ

เนื่องจากตัวแสดงผลเป็นแบบแคโถดร่วม ดังนั้นหากต้องการให้เซกเมนต์ใดติดสว่างก็ต้องส่งลอจิก'1'ไปที่สายสัญญาณและลอจิก '0' ไปที่ขา COM ของหลักนั้นพร้อมกัน ตัวต้านทาน R1–R8 ขนาด 100 โอห์มต่ออนุกรมเพื่อจำกัดกระแส ตัวแสดงผล DIGIT2 และ DIGIT1 ถูกออกแบบให้หมุนกลับหัวโดยจุด(dp)ขึ้นไปอยู่ด้านบนเพื่อการแสดงเครื่องหมาย ":" (Colon) เพื่อแสดงผลนาฬิกาหรือแสดงเป็นองศาในงานที่เกี่ยวกับอุณหภูมิ แต่การแสดงผลตัวเลขต่างๆยังคงใช้สายสัญญาณเดียวกับสองตัวแรก

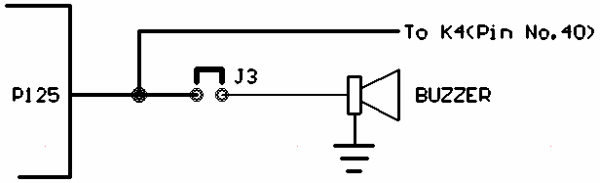


รูปที่ 10 ตัวแสดงผลเซเวนเซกเมนต์ (7-Segment) จำนวน 4 หลัก

ขา I/O ของตัวแสดงผลและขา I/O บางขาของคอนเนคเตอร์ K1 และ K/ ต่อพ่วงกันอยู่ (โปรดดูจากตารางที่ 1) ดังนั้นหากต้องการใช้ I/O ของ K1 และ K2 สามารถทำได้โดยถอดตัวแสดงผลเซเวนเซกเมนต์ทั้งหมดออกจากซ็อคเก็ต

c) ออด

ออด (Buzzer) มีจำนวน 1 ตัวจะต่อขั้วบวกกับ I/O ของ FPGA ดังรูปที่ 11 ดังนั้นถ้าหาก FPGA ส่งลอจิก '1'จะทำให้ Buzzer ดัง หากจะให้ Buzzer ดับก็ส่งเป็นลอจิก '0' และเนื่อง I/O ที่ใช้ขับ Buzzer ต่อพ่วงอยู่กับ I/O ที่ 40 ของคอนเนคเตอร์ K3 ดังนั้นหากต้องการใช้ I/O ของ K3 ตรงส่วนนี้หรือไม่ต้องการใช้ Buzzer ก็สามารถถอด Jumper J3 ออกได้



รูปที่ 11 การต่อ Buzzer กับขา FPGA

4.2) อินพุตเอาต์พุตพอร์ตของบอร์ดทดลอง

อินพุตเอาต์พุตพอร์ตที่คอนเนคเตอร์ K1- K4 มีรายละเอียด I/Oดังตารางที่ 1 โดยที่ K1- K4 จะถูกออกแบบเป็นสายสัญญาณและกราวด์ประมาณอย่างละครึ่งเพื่อแก้ปัญหาการรบกวนข้ามช่องสัญญาณ (Cross talk) เพราะเมื่อต่อสายแพร์ (Flat Cable)หรือสายริบบอนเข้ากับคอนเนคเตอร์แล้วจะทำให้สายสัญญาณและกราวด์วางเรียงสลับกันไปทุกเส้น

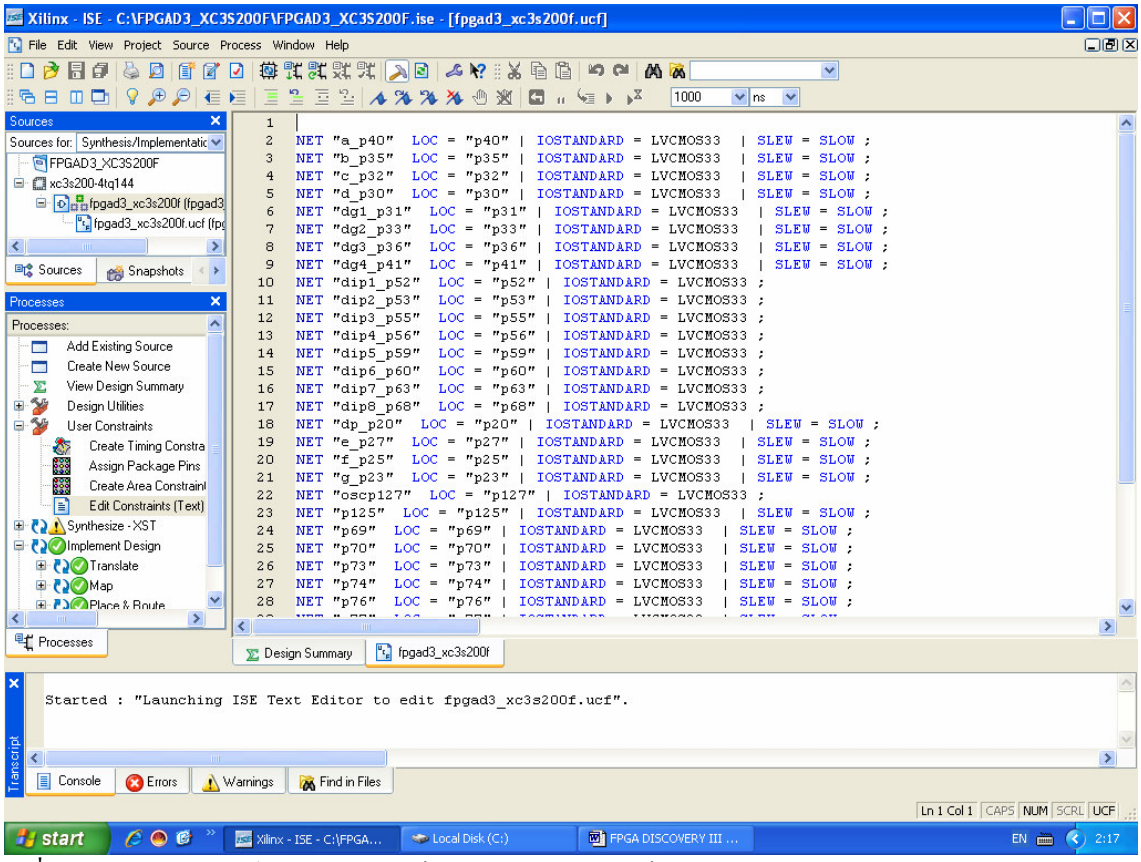
การต่อสาย I/O ออกจากคอนเนคเตอร์ K1 – K4 นั้นปกติจะแนะนำให้ต่อสายสัญญาณและสายกราวด์ออกไปด้วยกันเป็นคู่ๆ (ควรพันตีเกรียวไปด้วยกัน)เพื่อให้สายมีค่าความเหนี่ยวนำต่ำและสัญญาณจากภายนอกรบกวนได้ยาก การต่อสายไปที่อุปกรณ์ เช่น สวิตช์ หรือ LED แสดงผล เป็นต้นนั้นสามารถต่อให้มีความยาวได้ตามปกติทั่วไป แต่ I/O แต่ห้ามใช้กับระบบที่มีแรงดันเกิน 3.3V

ถ้าต้องการใช้งานที่ความถี่สูงๆหรือต้องการป้องกันการรบกวนข้ามช่องสัญญาณก็ควรเลือกใช้สายแพร์ บอร์ดทดลองนี้แนะนำให้ใช้สายแพร์ขนาด 40 เส้น ความยาวไม่ควรเกิน 15–20 เซนติเมตร (ซึ่งหาซื้อได้ง่ายจากร้านคอมพิวเตอร์ทั่วไปเพราะสายดังกล่าวใช้เป็นสายสัญญาณระหว่างเครื่องอ่าน-เขียน CD กับเมนบอร์ดคอมพิวเตอร์) จากนั้นจึงแบ่งสายแพร์ออกเป็นคู่ๆหรือเป็นชุดตามจำนวนที่ต้องการ <u>และต้องโปรแกรมให้ I/O ของ FPGA เป็นแบบ Slow Slew Rate เพื่อลดสัญญาณรบกวนข้ามช่องและลดการสะท้อนของสัญญาณในสายแพร์</u> เกณฑ์ที่ใช้ในการพิจารณาว่าจะไม่มีผลกระทบเนื่องจากคุณสมบัติสายส่งหรือ Transmission Line effect ที่เกิดขึ้นใน PCB และสายสายแพร์รวมกัน คือ ความยาวสายสูงสุดโดยประมาณ $\leq$ (2"/nS) x ช่วงเวลาขึ้น(Rise time) ในกรณีที่ O/P ของ FPGA เป็น Fastslew rate จะมีช่วงเวลาขึ้นโดยประมาณ $\leq$ 1 nS ส่วนกรณีที่เป็น Slow slew rate ช่วงเวลาขึ้นโดยประมาณ $\leq$ 3 nS ดังนั้น (2"/nS) x 3 nS = 6" = 15 เซนติเมตร (ในทางปฏิบัติใช้ได้ถึง 20 เซนติเมตร) ในกรณีที่สายแพร์ยาวกว่านี้และวงจรทำงานผิดพลาดเนื่องจากเกิดการสะท้อนในสายสัญญาณ การแก้ไขปัญหานี้ด้วยการ Terminate ด้วยวิธีที่เหมาะสม

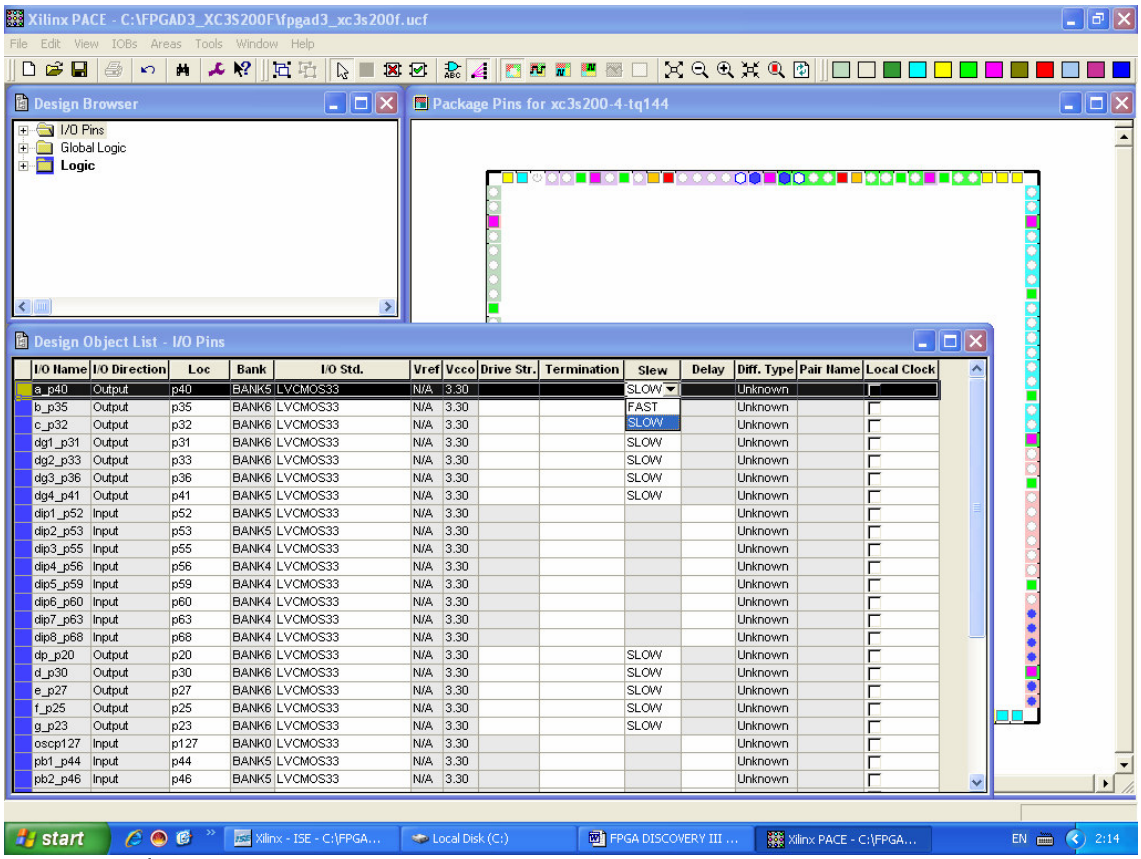
การต่อสัญญาณออกภายนอกบอร์ดทดลองนั้นถ้าสายแพร์มี Vcc รวมอยู่ด้วยจะต้องต่อตัวเก็บประจุขนาด 0.1 uF และ 10 nF แบบมัลติเลเยอร์หรือตัวเก็บประจุแบบชิพ (Chip capacitor) ใกล้ๆขั้ว Vcc และกราวด์ การต่อนี้ต้องทำทั้งที่บอร์ดทดลอง (ซึ่งต่อไว้แล้ว) และที่บอร์ดที่อยู่ภายนอกด้วยเพื่อให้สาย Vcc มีคุณสมบัติทางไฟฟ้าแบบ AC เสมือนว่าเป็นเส้นกราวด์อีกเส้นหนึ่ง

ไฟเลี้ยง Vcco ของบอร์ดนี้เป็น 3.3V ดังนั้น I/O ทั้งหมดจะเป็นระบบ 3.3Vเท่านั้น ซึ่งสามารถเลือก I/Oได้เพียง 2 ชนิด คือ LVCMOS33 หรือ LVTTL ดังตารางที่ 2 ตัวอย่างการโปรแกรมเอาต์พุตของ FPGA เป็นแบบ LVTTL (IOSTANDARD = LVTTL) และเป็นแบบ Slow slew Rate (SLEW = SLOW) ใน Edit Constraints(Text)แสดงดังรูปที่12 หรือในหน้าต่าง PACE แสดงรูปที่ 13

เอาต์พุตของ FPGA สามารถขับอินพุตระบบ 3.3Vและระบบ 5V (ตระกูล 74LS00, 74HCT00)ได้ แต่อินพุตของ FPGA จะรับเอาต์พุตได้เฉพาะระบบ 3.3V เท่านั้น การเชื่อมต่อเข้าอินพุต FPGA จากเอาต์พุตระบบ 5 V มีตัวอย่างดังรูปที่14(a) หรือใช้ CPLD ตระกูล XC9500XL เพื่อรับอินพุตระบบ 3.3V และ 5V ได้โดยตรงดังรูปที่ 14(b) การต่อตัวต้านทานพูลอัพ (Pulled up) ภายในชิพพร้อมกันทุกขาทำได้โดยการใส่ Jumper J2 เพียงตัวเดียวเท่านั้น แต่ถ้าไม่ต้องการพูลอัพก็ให้ถอด J2 ออก



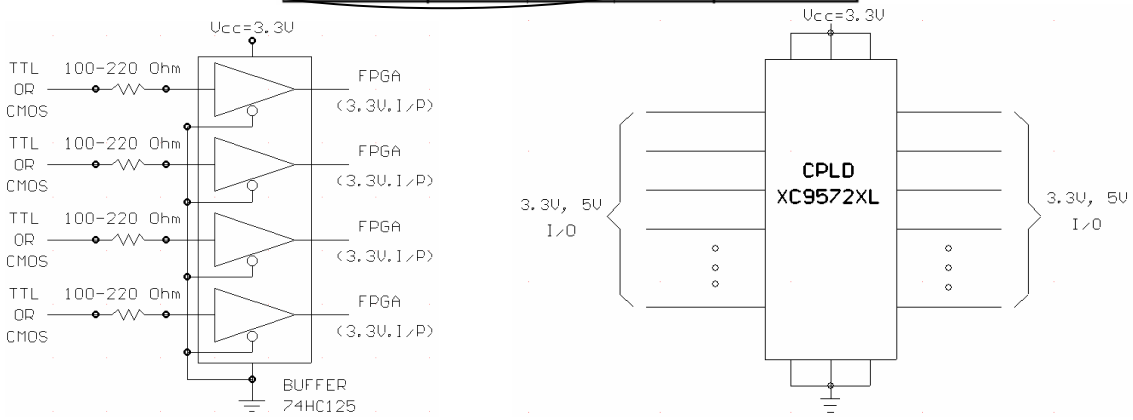
รูปที่12 การโปรแกรมเอาต์พุตของ FPGA เป็นแบบ LVTTL และเป็นแบบ Slow slew Rate ใน Edit Constraints(Text)



รูปที่13 การโปรแกรมเอาต์พุตของ FPGA เป็นแบบ LVTTL และเป็นแบบ Slow slew Rate ในหน้าต่าง

Table 2 **Single-Ended I/O Standards (Values in Volts)**

Signal Standard	V_{CCO} For Outputs	V_{CCO} For Inputs	V_{REF} for Inputs(1)	Board Termination Voltage (V_{TT})
GTL	Note 2	Note 2	0.8	1.2
GTLP	Note 2	Note 2	1	1.5
HSTL_I	1.5	-	0.75	0.75
HSTL_III	1.5	-	0.9	1.5
HSTL_I_18	1.8	-	0.9	0.9
HSTL_II_18	1.8	-	0.9	0.9
HSTL_III_18	1.8	-	1.1	1.8
LVCMOS12	1.2	1.2	-	-
LVCMOS15	1.5	1.5	-	-
LVCMOS18	1.8	1.8	-	-
LVCMOS25	2.5	2.5	-	-
LVCMOS33	3.3	3.3	-	-
LVTTL	3.3	3.3	-	-



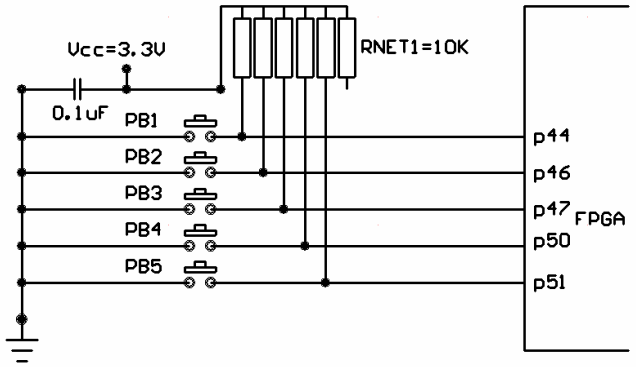
(a) (b)

รูปที่ 14 ตัวอย่างการต่อเอาต์พุตไอซีตระกูล TTL หรือ CMOS เข้ากับอินพุตของ FPGA

4.3) อินพุตของบอร์ดทดลอง

a) สวิตซ์กดติดปล่อยดับ

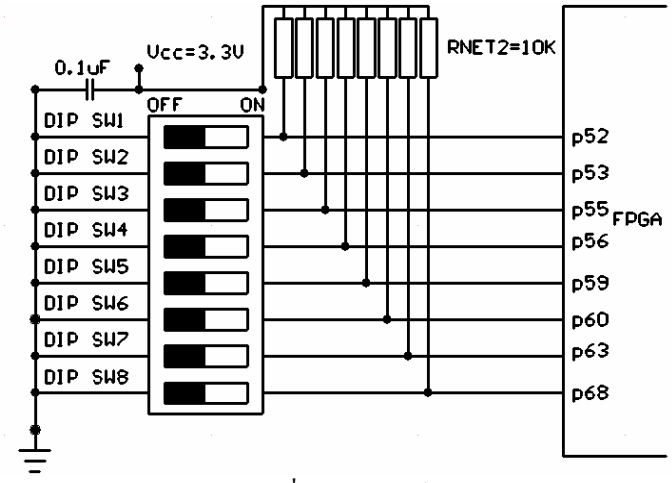
ทางด้านอินพุตบอร์ดทดลองนี้มีสวิตซ์กดติดปล่อยดับ (Push button switch) อยู่ 5 ตัวคือ PB1 – PB5 ต่ออยู่กับขาของ FPGA โดยทำงานแบบ Active low คือหากไม่มีการกดปุ่มจะเป็นลอจิก ‘1’ และเมื่อกดปุ่มจะเป็นลอจิก ‘0’ เนื่องจากมีตัวต้านทาน RNET1 ต่อพูลอัพอยู่ดังรูปที่ 15



รูปที่ 15 สวิตซ์กดติดปล่อยดับ

b) ดิพสวิตช์

ดิพสวิตช์ (Dip Switch) บนบอร์ดทดลองนี้มี 8 สวิตช์ โดยปกติทำงานแบบ Active low คือ หากเลื่อนสวิตซ์ลงไปที่ OFF จะทำให้ได้ลอจิก ‘1’ และหากเลื่อนสวิตซ์ขึ้นไปที่ ON จะทำให้ได้ลอจิก ‘0’ เนื่องจากมีตัวต้านทาน RNET2 ต่อพูลอัพอยู่ดังรูปที่ 16

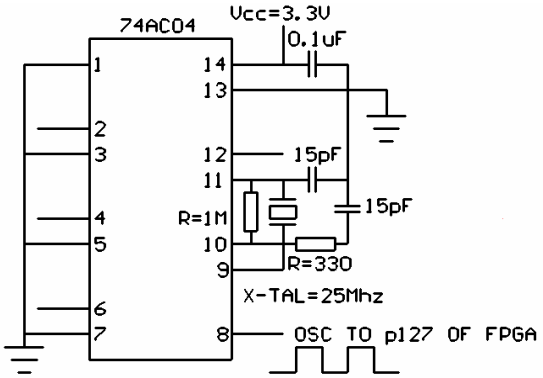


รูปที่ 16 ดิพสวิตช์

c) ออสซิลเลเตอร์

บอร์ดทดลองมีออสซิลเลเตอร์ (Oscillator) 25.000 Mhz 1 ชุดสำหรับสร้างสัญญาณนาฬิกาแสดงดังรูปที่17 โดยต่อกับขา p127 (GCLK6) ของ FPGA การสร้างความถี่อื่นๆใน FPGA สามารถทำได้โดยใช้ DCMได้ และสามารถใส่ออสซิลเลเตอร์ 3.3 โวลต์ ความถี่ที่ต้องการแทนออสซิลเลเตอร์ที่อยู่บนบอร์ดได้โดยถอดไอซี 74AC04 ออก

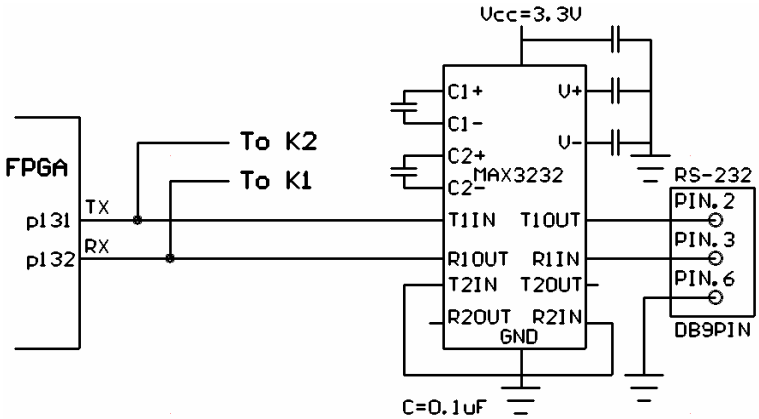
ที่ความถี่ไม่สูงมากนักไม่จำเป็นต้องใช้ขา GCLK สามารถใช้ I/O ธรรมดาของ FPGA เป็นอินพุตของสัญญาณนาฬิกาได้



รูปที่ 17 วงจรออสซิลเลเตอร์

d) พอร์ตอนุกรม

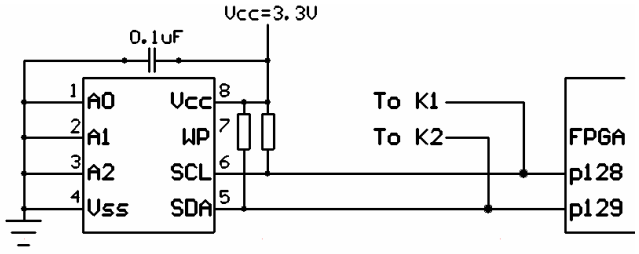
พอร์ตอนุกรม (RS-232) จะใช้ไอซีเบอร์ ICL3232CP (U4) ซึ่งเป็นระบบ 3.3V เพื่อให้สามารถต่อกับ I/O ของ FPGA ได้โดยตรงโดยมีวงจรแสดงดังรูปที่ 18 และเนื่องจาก I/O ของพอร์ตอนุกรมต่อพ่วงอยู่กับขาที่ 35 ของ K1 และ 39 ของ K2 ดังนั้นถ้าต้องการใช้ขาดังกล่าวของ K1 และ K2 เพื่อวัตถุประสงค์อื่นก็สามารถทำได้โดยการถอดไอซี MAX3232CPE ออก



รูปที่ 18 พอร์ตอนุกรม (RS-232)

e) ซอคเก็ต 8 ขาสำหรับใส่ไอซี EEPROM แบบ I^2C

ซอคเก็ต 8 ขา (U3) สำหรับใส่ไอซี EEPROM แบบ I^2C เช่น เบอร์ 24LC256 เก็บข้อมูลนั้นจะต่อพ่วงกับขาที่ 39 ของ K1 และ K2 ตามลำดับแสดงดังรูปที่ 19 มีตัวต้านทาน R7 และ R8 ขนาด 4.7 กิโลโอห์มต่อ Pull up ซึ่งถ้าต้องการใช้ขาที่ 39 ของ K1 และ K2 ก็ทำได้โดยถอดไอซีออก (แต่ยังคงสภาพ Pull up หากไม่ตัด R7 และ R8 ออก)



รูปที่ 19 พอร์ตอนุกรมแบบ I^2C

f) คอนเนคเตอร์ JTAG และจัมเปอร์ J1

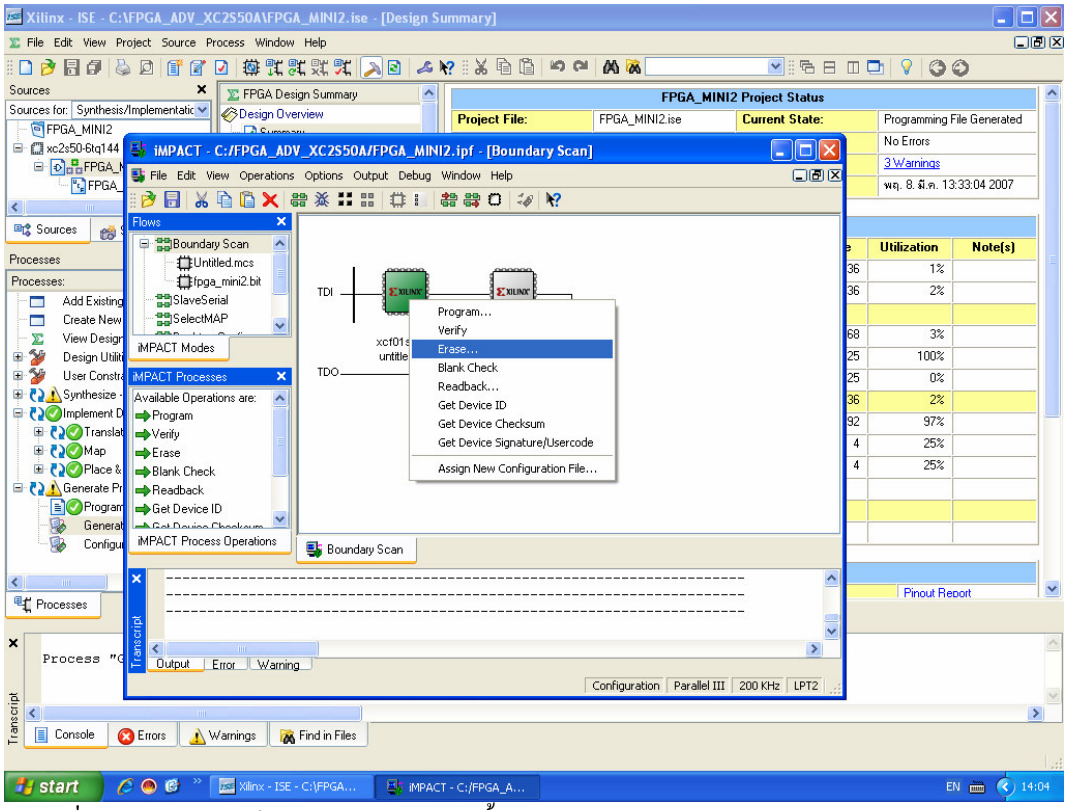
คอนเนคเตอร์ JTAG ใช้สำหรับต่อสายดาวน์โหลด (JTAG Cable) เข้ากับพอร์ตขนาน(Printer Port)ของคอมพิวเตอร์ เพื่อโปรแกรมข้อมูลวงจร (Configuration data) ลง FPGA บอร์ดทดลองนี้ถูกออกแบบให้โปรแกรม Serial Flash PROM และ FPGA ใน JTAG Mode (Boundary Scan Mode)ได้โดยตรงโดยใช้สายดาวน์โหลด และใช้ Master Serial Mode เพื่อให้ Serial Flash PROM สามารถโปรแกรม FPGA อย่างอัตโนมัติทุกครั้งที่จ่ายไฟเลี้ยง ใน Master Serial Mode นั้นต้องเซต Jumper J1 ให้ M0, M1, M2 = 000 ตามที่สรุปไว้ในตารางที่ 3 สายดาวน์โหลดสามารถใช้ได้ทั้งของ Xilinx หรือของบริษัทเอเพกซ์เองก็ได้ (ให้มาพร้อมกับบอร์ดทดลองอยู่แล้ว) และไม่ว่าจะตั้งค่า M0, M1 และ M2 อยู่ในโหมดอื่นใดก็ยังสามารถโปรแกรมโดยใช้สาย JTAGได้

ตารางที่ 3 รายการเซตโหมดในการโปรแกรม FPGA

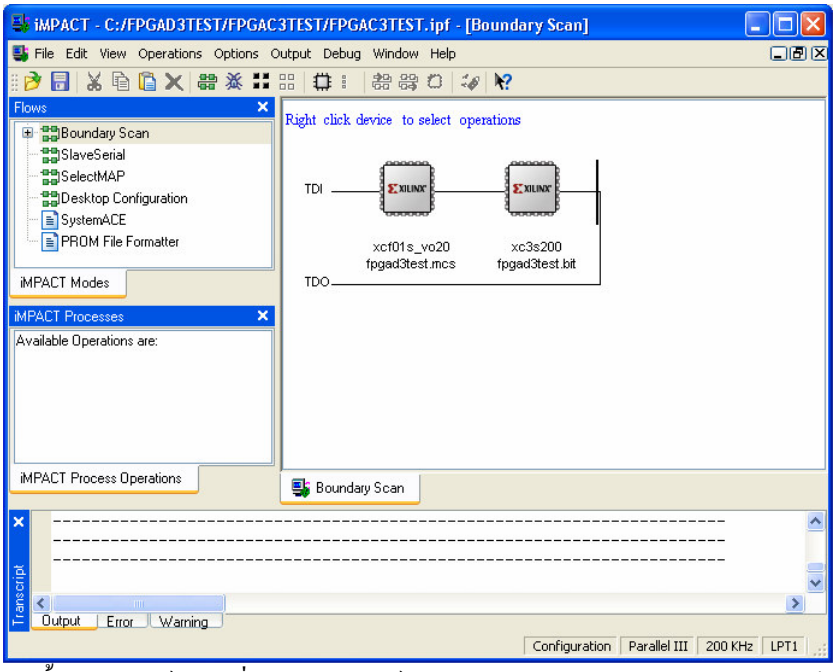
Configuration Mode	M0	M1	M2
Master Serial	0	0	0
Slave Serial	1	1	1
Master Parallel	1	1	0
Slave Parallel	0	1	1
JTAG	1	0	1

การโปรแกรม FPGA โดยตรงผ่านทางสาย JTAG นั้นผู้ใช้จะต้องลบข้อมูลใน Flash PROM ทิ้งก่อนเสมอ ตัวอย่างแสดงดังรูปที่ 20 การไม่ลบข้อมูลวงจรออกจาก Flash PROM ก่อนอาจทำให้ข้อมูลที่โปรแกรมลง FPGA ไม่สมบูรณ์ (โดยไม่มีการเตือนว่าเกิดข้อผิดพลาด) เพราะ FPGA จะถูกเซตอยู่ใน Master Serial Mode จึงถูกโปรแกรมจาก Flash PROM อย่างอัตโนมัติเรียบร้อยแล้วทันทีที่เริ่มต้นจ่ายไฟเลี้ยง

การโปรแกรมวงจรลง FPGA นั้นเราจะต้องสร้างไฟล์พร้อมที่จะโปรแกรมลง Platform Flash PROM และ FPGA ก่อนจากนั้นแล้วทำการต่อสาย JTAG และต่อไฟเลี้ยงเข้าบอร์ดแล้วทำการดาวน์โหลดวงจรที่ต้องการลงสู่ Flash PROM และชิพ FPGA ตามลำดับ ซึ่งขั้นตอนดาวน์โหลดนั้นที่จอคอมพิวเตอร์จะปรากฏชิพทั้ง 2 ตัวพร้อมกันดังรูปที่ 21 เพราะมีการออกแบบให้ในโหมด JTAG ต่อถึงกันวนแบบลูกโซ่เพื่อสะดวกเมื่อโปรแกรม เราจึงสามารถเลือกที่จะดาวน์โหลดข้อมูลลงชิพทั้งสองตัวหรือตัวใดตัวหนึ่งก็ได้ และเนื่องจาก Platform Flash PROM และ FPGA ต่อกันในโหมด Master serial (M0 , M1 , M2 = 0) อีกด้วย ดังนั้นทุกครั้งที่เริ่มจ่ายไฟให้บอร์ดทดลอง FPGA จะดาวน์โหลดข้อมูลจาก Platform Flash PROM มาที่ FPGA อย่างอัตโนมัติ



รูปที่ 20 แสดงการลบข้อมูลใน Flash PROM ทิ้งก่อนการโปรแกรม FPGA โดยตรงผ่านทางสาย JTAG



รูปที่ 21 ขั้นตอนดาวน์โหลดที่จอคอมพิวเตอร์จะปรากฏชิพ Flash PROM และ FPGA พร้อมกัน

4.4) Misc

a) Jack สำหรับ DC Adaptor

เป็นหัวต่อไฟเลี้ยงเพื่อป้อนให้แก่บอร์ดในการทำงาน ต่ออยู่กับอแดปเตอร์ที่มีไฟออกมาเป็น 4.7V – 9V โดยมีขั้วด้านในเป็น บวก “+” ด้านนอกเป็น ลบ “-” หากมีไฟเลี้ยงเข้าบอร์ดจะทำให้ LED Power บนบอร์ดติดสว่าง

b) การดูตำแหน่งขาของคอนเนคเตอร์

รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) ดูจากตารางที่ 1 K1 , K2 , K3 , K4 การดูขาของ K1-K4 ให้สังเกตด้านที่มีรอยบากลึกรูปสี่เหลี่ยมจะเป็นแถวของขาที่เป็นเลขคี่ทั้งหมดเริ่มจาก 1 ถึง 39 โดยที่ด้านซ้ายสุดเป็นขา 1 ซึ่งจะมี Mark รูปสามเหลี่ยมปรากฏอยู่ด้านข้าง

c) แบบ Schematic ของบอร์ดทดลอง

รายละเอียดวงจรของบอร์ด (Schematic diagram) แสดงดังรูปที่ 22 และรูปที่ 23 (อยู่ในหน้าถัดไป) บอร์ด FPGA Discovery-III XC3S200F และ FPGA Discovery-III XC3S200F4 จะมีลักษณะเหมือนกันทุกประการ แต่จะแตกต่างกันคือ FPGA Discovery-III XC3S200F จะใช้ FPGA เบอร์ XC3S200-4TQ144C (หรือ XC3S200-4TQG144C) ซึ่งเป็น FPGA ขนาดความจุวงจร 200,000 เกต, Package แบบ TQ144, Speed Grade:4 และ Platform Flash PROM เบอร์ XCF01SVO20C (หรือ XCF01SVOG20C) ในขณะที่ FPGA Discovery-III XC3S200F4 จะใช้ชิพ FPGA เบอร์ XC3S400-4TQ144C (หรือ XC3S400-4TQG144C) ซึ่งเป็น FPGA ขนาด 400,000 เกต Package แบบ TQ144, Speed Grade:4 และ Platform Flash PROM เบอร์ XCF02SVO20C (หรือ XCF02SVOG20C)

5 คำแนะนำก่อนใช้บอร์ดทดลอง

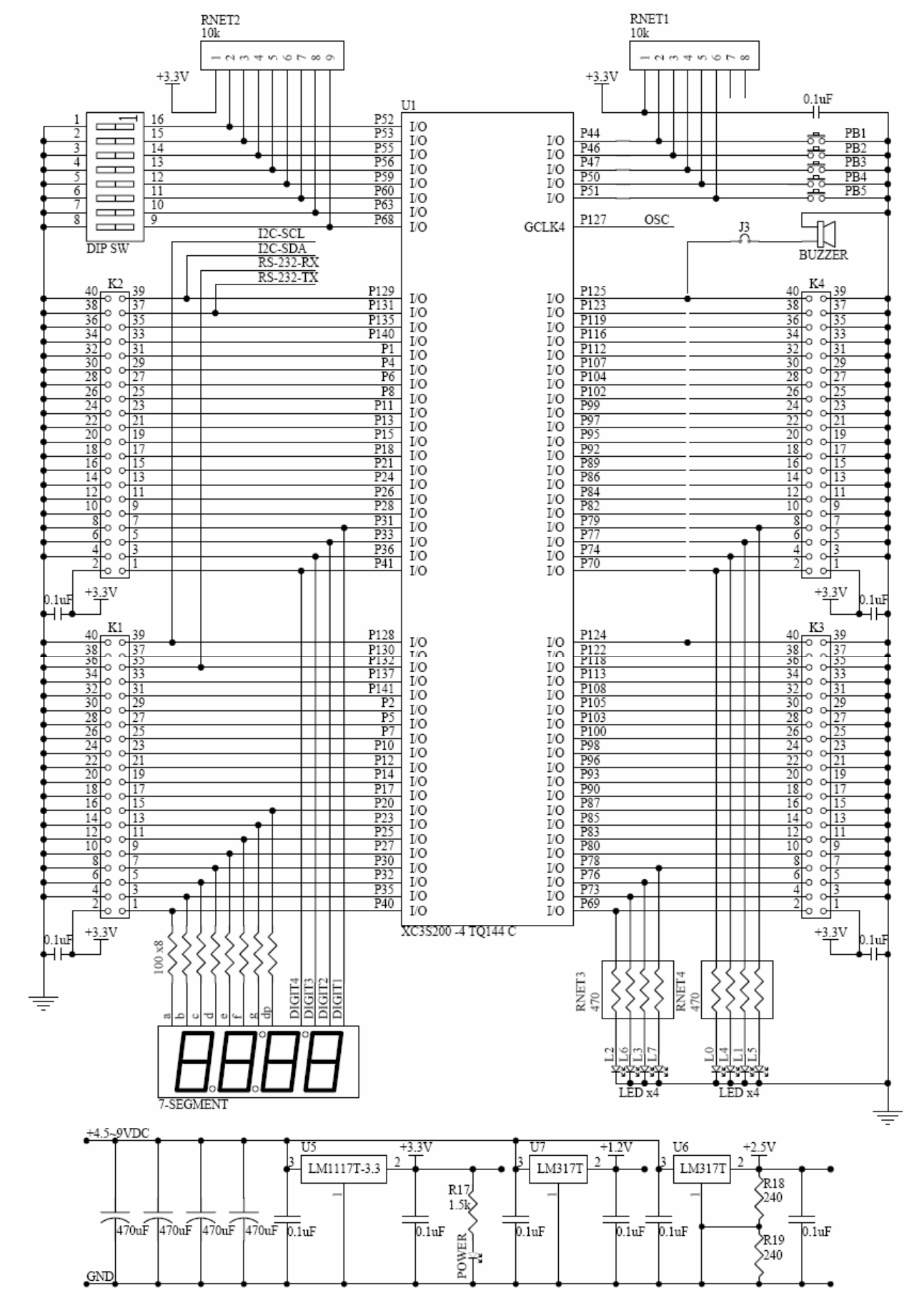
คู่มือจะอยู่ใน CD_3_Manual ซึ่งภายในจะประกอบด้วย

- BOOK1 Schematic and LAB (ไฟล์ทดลอง)
- BOOK2 VHDL and LAB(ไฟล์ทดลอง)
- JAVA and pdf (Adobe Reader 7.0)
- Manual and data sheet
- Test file
- ไฟล์ .pdf ทุกไฟล์ต้องเปิดไฟล์ด้วย Adobe Reader 7.0 ขึ้นไป ซึ่งได้ให้ไปด้วยแล้ว ในกรณีที่ใช้ Adobe Reader ต่ำอาจทำให้มองไม่เห็นรูปหรือตัวอักษร
- ไฟล์หนังสือหรือ LAB(ไฟล์ทดลอง) มีการ Update อยู่ตลอดเวลา Download ได้ที่เวบไซต์ http://www.ailogictechnology.com

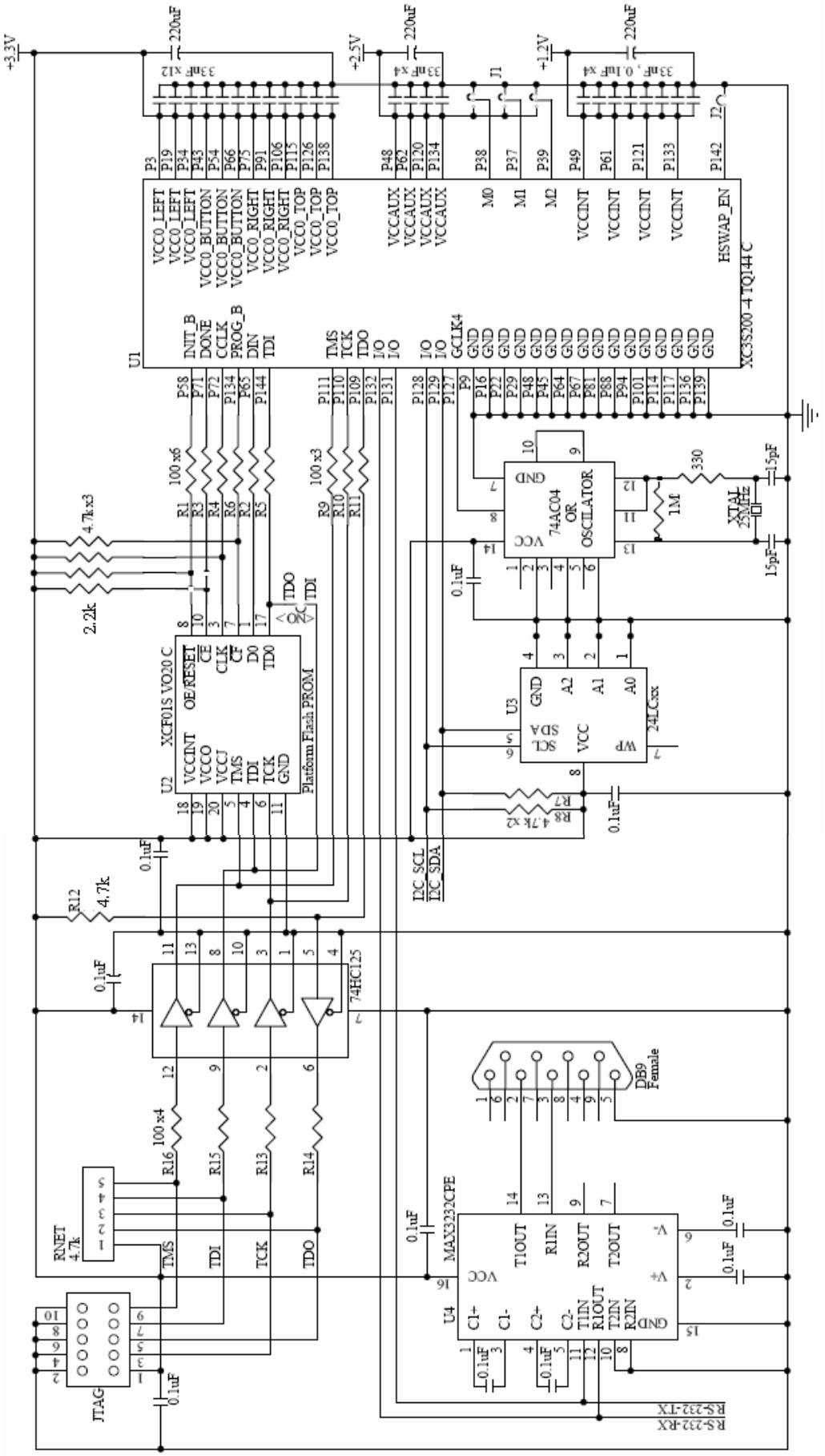
BOOK1 Schematic and LAB คือ หนังสือที่ทุกคนต้องอ่าน โดยที่

- บทที่ 2 จะบอกวิธีติดตั้งซอฟต์แวร์(ที่อยู่ใน CD_1 และ CD_2)
- บทที่ 3 จะอธิบายเกี่ยวกับบอร์ดทดลองรุ่นต่างๆ (และบอร์ดทุกรุ่นจะมีคู่มือที่ละเอียดให้ใน Manual and data sheet ของ CD_3_Manual
- บทที่ 4 อธิบายการออกแบบวงจรด้วย CPLD
- บทที่ 5 อธิบายการออกแบบวงจรด้วย FPGA (แต่ต้องอ่านบทที่ 4 มาก่อน) ก่อนโปรแกรม FPGA โดยตรงจะต้องลบไฟล์ใน Flash PROM ก่อนเสมอ เพราะจัมเปอร์ J1 (M0,M1,M2) ถูกเซทไว้ในโหมดมาสเตอร์ซีเรียล ทำให้ FPGA ถูกโปรแกรมจาก Flash PROM โดยอัตโนมัติตอนเริ่มต้นจ่ายไฟเลี้ยง
- บทที่ 6-9 เป็นทฤษฎีและการทดลอง

หมายเหตุ ข้อมูล UPDATE ต่างๆ เช่น ซอฟต์แวร์เวอร์ชั่นใหม่ หนังสือต่างๆ ทั้งที่เป็น Schematic และ VHDL คู่มือบอร์ดรุ่นต่างๆที่ปรับปรุงใหม่ สอบถามรายละเอียดได้ที่บริษัท เอเพก อินสตรูเมนต์ จำกัด 77/9 ซอยลาดพร้าว1 ถนนลาดพร้าว แขวงจอมพล เขตจตุจักร กทม 10900 โทร. 0–293 –2084 หรือ 081-833 – 7279 หรือดาวน์โหลดได้ที่ http://www.ailogictechnology.com



รูปที่ 22 รายละเอียดวงจรของบอร์ด (Schematic diagram)



รูปที่ 23 รายละเอียดวงจรของบอร์ด (Schematic diagram)