

FPGA Adventure-III XC3S200F Board Manual

บริษัท เอเพก อินสตรูเมนต์ จำกัด

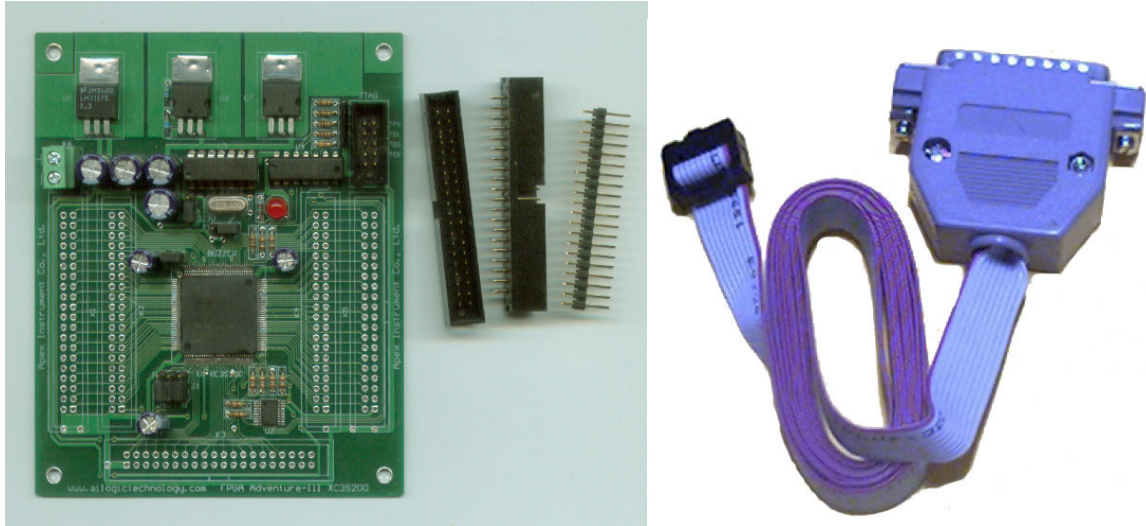
APEX INSTRUMENT CO., LTD.

77/9 ซอยลาดพร้าว 1 ถนนลาดพร้าว แขวงจอมพล เขตจตุจักร กรุงเทพมหานคร 10900 โทร. :0-2939-2084 แฟกซ์ : 0-2939-2084

77/9 SOI LADPRAO 1, LADPRAO ROAD, JOMPOL, JATUJAK DISTRICT, BANGKOK THAILAND 10900 TEL/FAX.66(0)2939-2084

FPGA Adventure-III XC3S200

บอร์ดทดลองเอนกประสงค์รุ่น FPGA Adventure-III XC3S200 มีรายละเอียดแสดงดังรูปที่ 1 โดยที่บอร์ดนี้จะเป็นบอร์ดพัฒนา FPGA ที่มีความจุวงจร 200,000-400,000 เกต และใช้ Platform Flash PROM สำหรับเก็บข้อมูลวงจร ซึ่งสามารถโปรแกรมวงจรลง Platform Flash PROM ผ่านทางสายคาวาน์โหลดแบบ JTAG ได้โดยตรง จึงเหมาะสำหรับที่ใช้ในงานพัฒนาออกแบบวงจรดิจิทัลและออกแบบไอซีขั้นสูง



รูปที่ 1 บอร์ดทดลองเอนกประสงค์ FPGA Adventure-III XC3S200

1) คุณสมบัติทั่วไป

บอร์ดทดลองเอนกประสงค์ FPGA Adventure-III XC3S200 มี 2 รุ่นด้วยกันคือ FPGA Adventure-III XC3S200F (รุ่น 200,000 เกต) และ FPGA Adventure-III XC3S200F4 (รุ่น 400,000 เกต)

คุณสมบัติที่สำคัญเป็นดังนี้

- XC3S200 หรือ XC3S400 (200,000 หรือ 400,000 เกต) ของ Xilinx
- ใช้ DCM สร้างความถี่ได้มากมาย : Frequency output = (M/D) x 25MHz โดยที่ M=2-32 และ D=1-32
- RAM ภายใน 218 หรือ 288Kbits (รุ่น 200,000 เกต หรือ รุ่น 400,000 เกต)
- Platform Flash PROM เบอร์ XCF01S หรือ XCF02S
- 5 Expansion ports (97 Bits 2.5V หรือ 3.3V. I/O)
- 25 Mhz Onboard Oscillator

บอร์ด FPGA Adventure-III XC3S200F และ FPGA Adventure-III XC3S200F4 จะมีลักษณะเหมือนกันทุกประการ แต่ที่แตกต่างกันคือ FPGA Adventure-III XC3S200F จะใช้ FPGA ตระกูล Spartan-3 ของ Xilinx เบอร์ XC3S200-4TQ144C ซึ่งเป็น FPGA ขนาดความจุวงจร 200,000 เกต, Package แบบ TQ144, Speed Grade:4 และ Platform Flash PROM เบอร์ XCF01SVO20C ในขณะที่ FPGA Adventure-III XC3S200F4 จะใช้ชิพ FPGA เบอร์ XC3S400-4TQ144C ซึ่งเป็น FPGA ขนาด 400,000 เกต Package แบบ TQ144, Speed Grade:4 และ Platform Flash PROM เบอร์ XCF02SVO20C ที่สามารถโปรแกรมข้อมูลวงจรซ้ำได้ ถึง 20,000 ครั้ง

2) คุณสมบัติที่สำคัญของชิพ FPGA ตระกูล Spartan-3 เบอร์ XC3S200

- ความจุวงจร 200,000 เกต
- 18Kb block RAMs จำนวน 12 ชุด (รวม 216Kb)
- 18x18 hardware multiplier จำนวน 12 ชุด
- Digital Clock Manager (DCM) จำนวน 4 ชุด

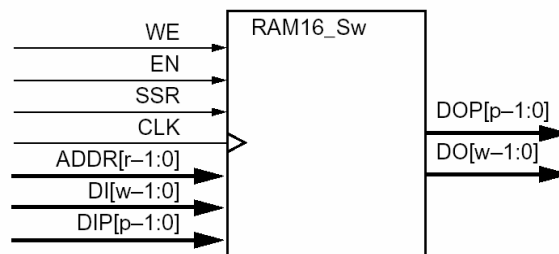
3) คุณสมบัติที่สำคัญของชิพ FPGA ตระกูล Spartan-3 เบอร์ XC3S400

- ความจุวงจร 200,000 เกต
- 18Kb block RAMs จำนวน 16 ชุด (รวม 288Kb)
- 18x18 hardware multiplier จำนวน 16 ชุด
- Digital Clock Manager (DCM) จำนวน 4 ชุด

ชิพ FPGA ทั้งสองเบอร์นี้มีความโดดเด่น คือ มีหน่วยความจำแบบ RAM และมีตัวคูณที่เป็นฮาร์ดแวร์เป็นจำนวนมาก รวมทั้งมี DCM อีก 4 ชุด ทำให้การออกแบบวงจรดิจิทัลทำได้สะดวกและมีประสิทธิภาพ จึงเหมาะสำหรับงานออกแบบวงจรดิจิทัลทั่วไป งานที่ต้องใช้ไมโครคอนโทรลเลอร์แบบฝังตัวใน FPGA และด้าน Digital Signal processing โดยอุปกรณ์ที่อยู่ภายในชิพมีคุณสมบัติดังนี้

1. หน่วยความจำ 18Kb block RAM

18Kb block RAM เป็นหน่วยความจำที่มีความเร็วสูงมาก (โดยประมาณ) 200 Mhz ที่มีอยู่ในชิพสามารถฟอร์มให้เป็น RAM หรือ ROM ที่มีขนาดต่างๆ กันได้รวมทั้ง FIFO ด้วย โดยรูปที่ 2 แสดงขนาด RAM แบบ Single Port ในรูปที่ 3 แสดงตัวอย่าง RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด



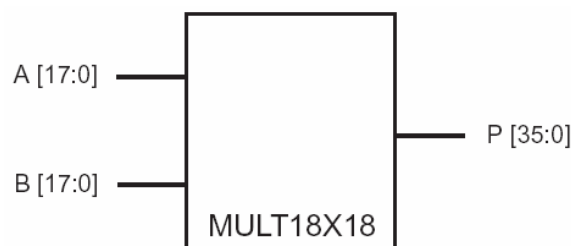
รูปที่ 2 แสดงขนาด RAM แบบ Single Port

Organization	Memory Depth	Data Width	Parity Width
512x36	512	32	4
1Kx18	1024	16	2
2Kx9	2048	8	1
4Kx4	4096	4	-
8Kx2	8192	2	-
16Kx1	16384	1	-

รูปที่3 RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด

2. 18x18 Hardware multiplier

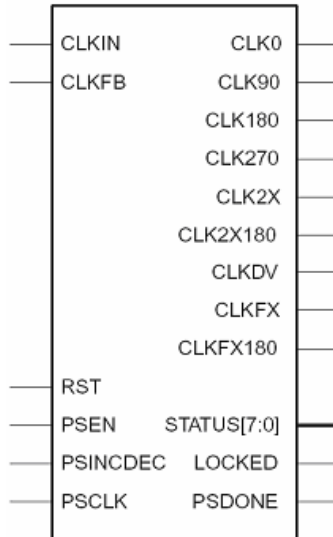
18x18 hardware multiplier เป็นฮาร์ดแวร์ของวงจรคูณสำเร็จรูปขนาด 18x18 บิตที่มีความเร็วในการทำงานสูง ซึ่งมีสัญลักษณ์ดังรูปที่ 4 สำหรับคนที่ต้องการตัวคูณมากๆ อาจจะต้องใช้วิธีมัลติเพล็กซ์เข้าช่วย



รูปที่ 4 สัญลักษณ์ของ 18x18 hardware multiplier

3. Digital Clock Manager

Digital Clock Manager (DCM) เป็นวงจรที่มีความสำคัญมากที่ช่วยจัดการเกี่ยวกับสัญญาณนาฬิกาและเลื่อนเฟสของสัญญาณนาฬิกา มีอยู่ในชิพจำนวน 4 ชุด จึงทำให้การออกแบบวงจรง่ายขึ้นเนื่องจากสามารถสร้างความถี่ต่างๆ ได้อย่างจากออสซิลเลเตอร์จากภายนอกเพียงชุดเดียว ไม่เพียงเท่านั้นสัญญาณนาฬิกาดังกล่าวยังซิงค์โครไนซ์กับสัญญาณของออสซิลเลเตอร์เดิมอีกด้วย DCM มีสัญลักษณ์แสดงดังรูปที่ 5 ซึ่ง DCM จะทำงานในหน้าที่ดังต่อไปนี้

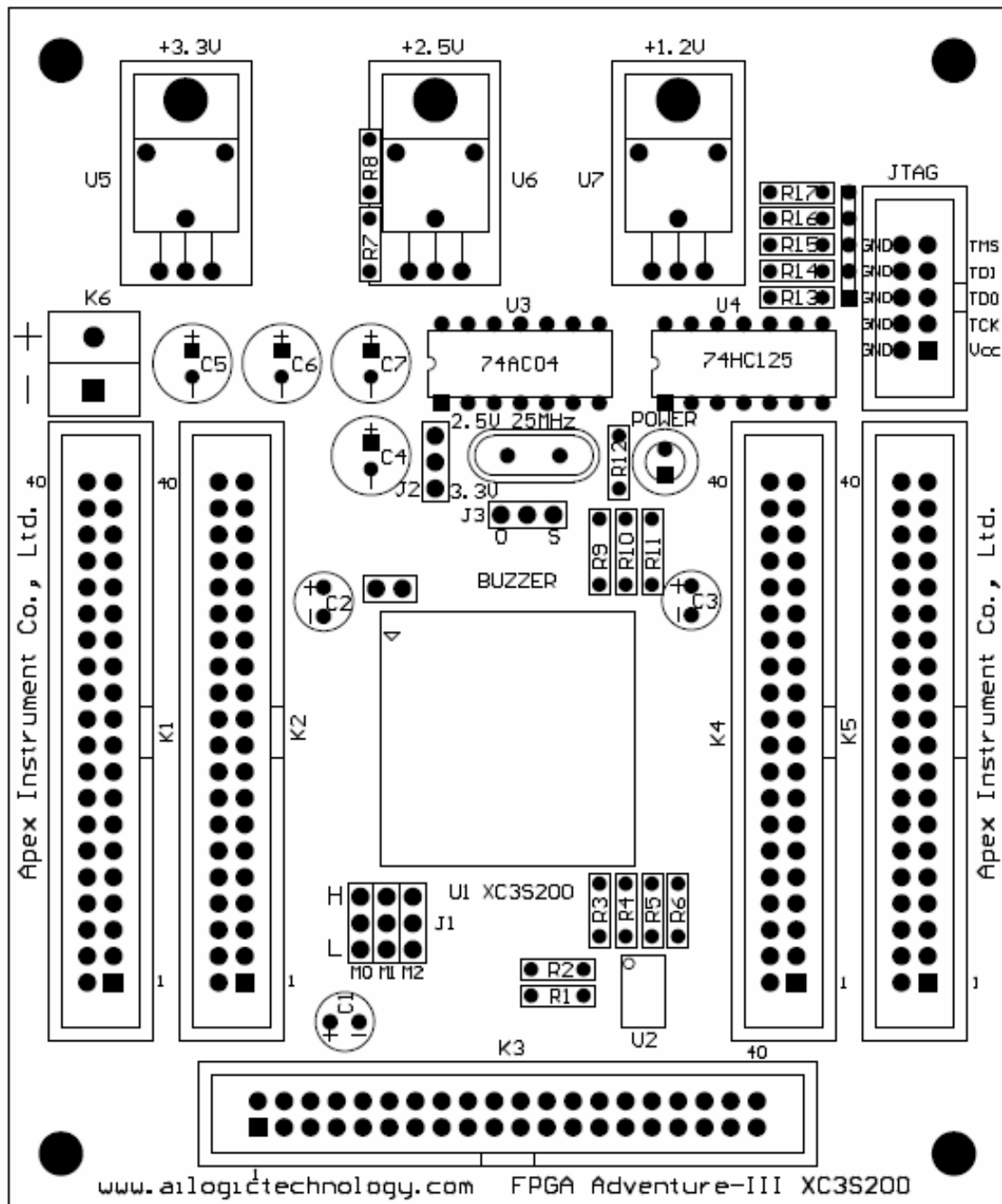


รูปที่ 5 สัญลักษณ์ของวงจร DCM

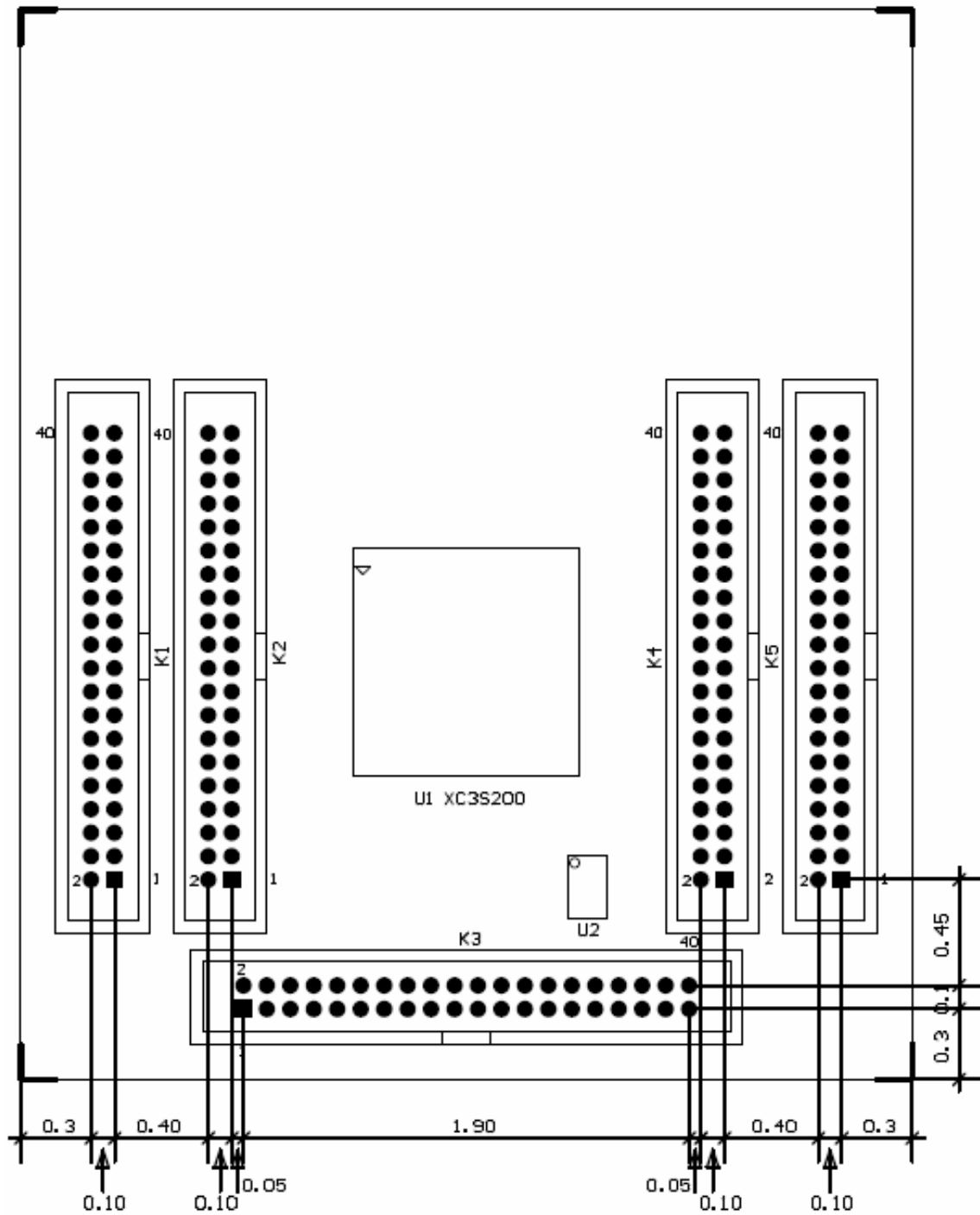
- หาคความถี่ (Clock Divider) เป็นวงจรหารซึ่งจะให้ความถี่เอาต์พุตเท่ากับความถี่อินพุตหารด้วยตัวเลขดังต่อไปนี้ คือ 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, 11, 12, 13, 14, 15, หรือ 16 ตามลำดับ
- สร้างความถี่สองเท่า (Clock Doubler) เป็นวงจรซึ่งจะให้ความถี่ที่เอาต์พุตจะเป็น 2 เท่าของความถี่อินพุต
- Digital Frequency Synthesizer (DFS) เป็นวงจรซึ่งสามารถกำหนดให้ความถี่เอาต์พุตเท่ากับผลคูณของความถี่อินพุตกับอัตราส่วนของ M/D โดยที่ M = 2 ถึง 32 และ D = 1 ถึง 32 วงจรนี้นำไปใช้งาน เช่น สร้างวงจรเปลี่ยนจากการส่งข้อมูลแบบขนานเป็นอนุกรม ซึ่งต้องสร้างสัญญาณนาฬิกาสูงกว่าของเดิม เช่น 10–11 เท่าเป็นต้น หรืองานอื่นๆ ที่ต้องใช้วงจรฟรีควเอนซีซินธิไซเซอร์ เช่น ต้องการความถี่ 66.6666 Mhz แต่ออสซิลเลเตอร์บนบอร์ดนี้คือ 25 Mhz เป็นสัญญาณอินพุตให้กับ DFS ดังนั้นต้องกำหนดที่ DFS ให้ M=8 และ D=3 แล้วจะได้เอาต์พุตที่ต้องการคือ 66.6666 Mhz
- Delay-Locked Loop (DLL) เป็นวงจรใช้แก้ปัญหาการเลื่อนเฟสในวงจรให้กลับมาตรงตามเฟสที่ต้องการ
- Quadrant Phase Shift เป็นวงจรเลื่อนเฟส 90 , 180 และ 270 องศา ตามลำดับ
- Fine Phase Shift เป็นวงจรใช้ในการเลื่อนเฟสอย่างละเอียด มีความละเอียดอยู่ที่ 1/ 255 เท่าของคาบความถี่ วงจรนี้มีความสำคัญมากเช่นกัน ที่ใช้ในการชดเชยการเลื่อนเฟสที่เกิดขึ้นในวงจร ทำให้การออกแบบง่ายขึ้นอย่างมาก

4) หลักการทำงานของบอร์ดเนกประสงค์

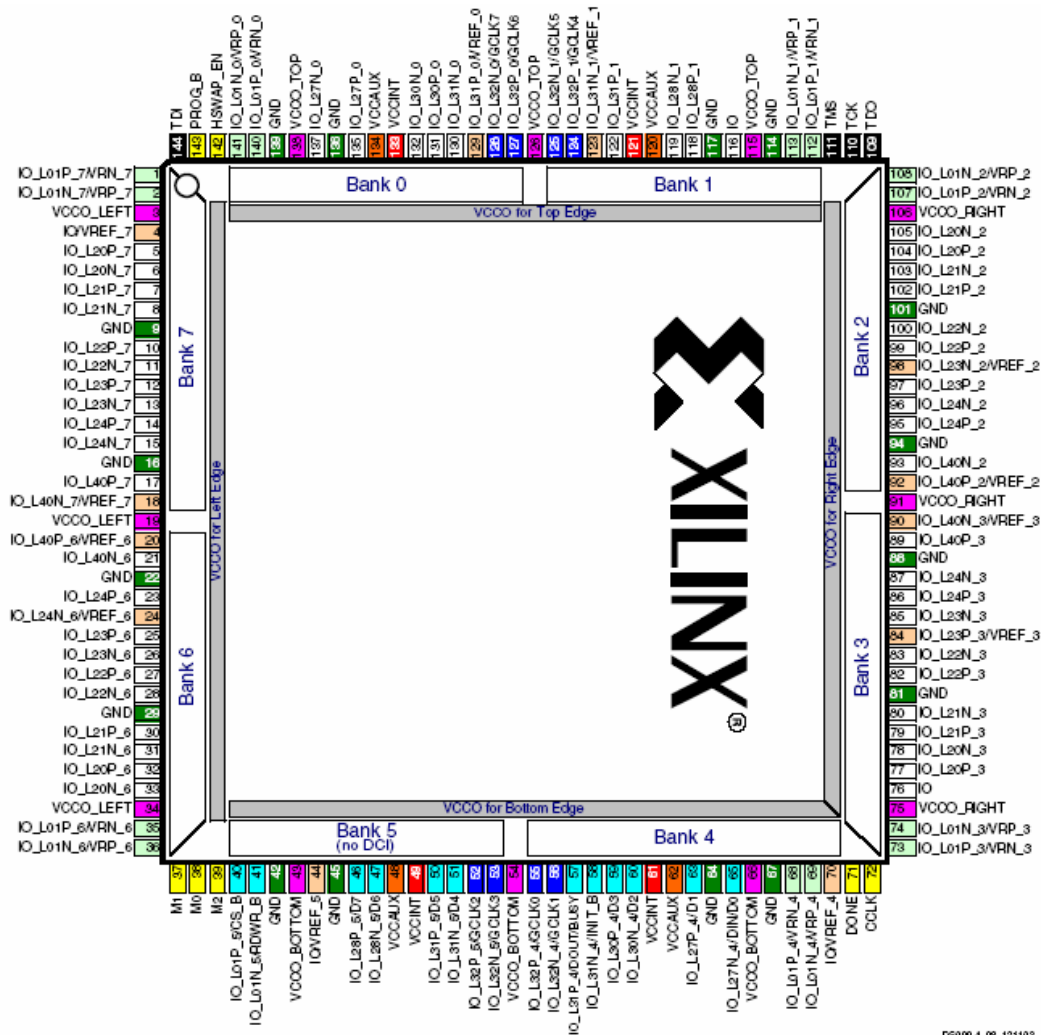
บอร์ดทดลองเนกประสงค์รุ่น FPGA Adventure-III XC3S200 มีการจัดวางตำแหน่งการวางอุปกรณ์ดังรูปที่ 6 พังแสดงตำแหน่งของคอนเนคเตอร์ K1 – K5 ของบอร์ดแสดงดังรูปที่ 7 รายละเอียดผัง I/O ของ FPGA เบอร์XC3S200-4TQ144 และ XC3S400-4TQ144 แสดงดังรูปที่ 8 การจัดวาง I/O ต่างๆของ FPGA Adventure-III XC3S200 (โดยย่อ) แสดงดังรูปที่ 9 มีรายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) ตามตารางที่ 1



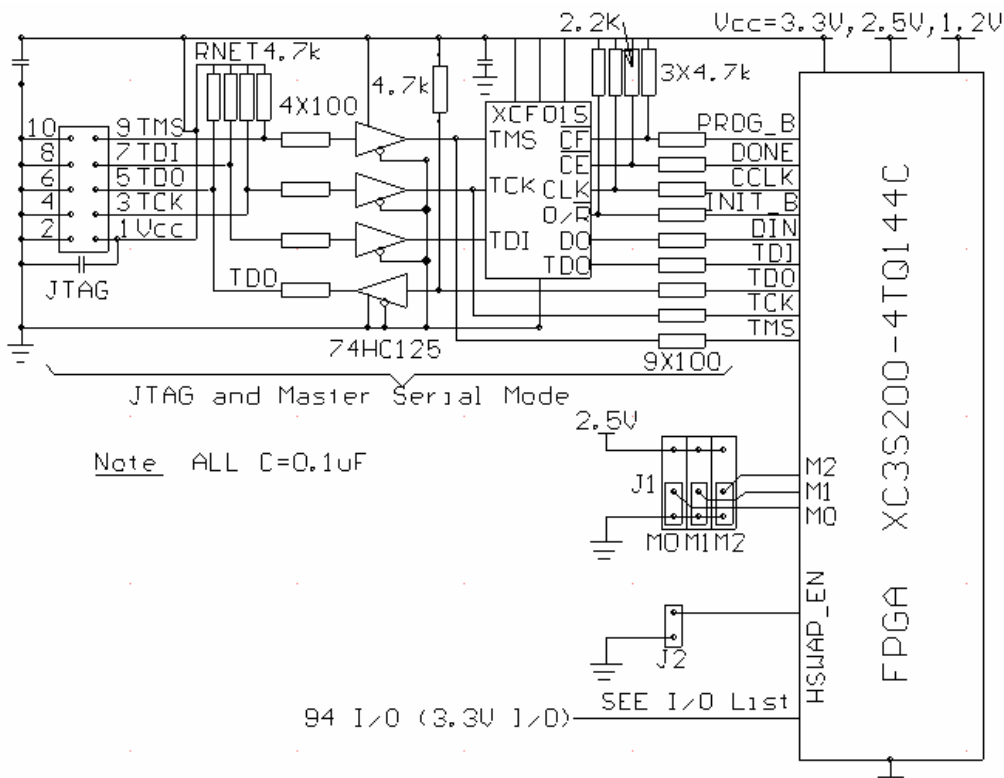
รูปที่ 6 การจัดวางตำแหน่งการวางอุปกรณ์ด้านบน



รูปที่ 7 แสดงตำแหน่งของคอนเนคเตอร์ K1 – K5 ของบอร์ดแสดง



รูปที่ 8 พิน I/O ของ FPGA เบอร์ XC3S200-4TQ144C และ XC3S400-4TQ144C



รูปที่ 9 การวงจรของ FPGA Discovery-III XC3S200(โดยย่อ)

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List)

K1 connector					
Descriptions	FPGA pinout	K1 pinout	K1 pinout	FPGA pinout	Descriptions
GND	-	40	39	p127	I/O/25MHz
GND	-	38	37	p129	I/O
GND	-	36	35	p131	I/O
GND	-	34	33	p135	I/O
GND	-	32	31	p140	I/O
GND	-	30	29	p1	I/O
GND	-	28	27	p4	I/O
GND	-	26	25	p6	I/O
GND	-	24	23	p8	I/O
GND	-	22	21	p11	I/O
GND	-	20	19	p13	I/O
GND	-	18	17	p15	I/O
GND	-	16	15	p18	I/O
GND	-	14	13	p21	I/O
GND	-	12	11	p24	I/O
GND	-	10	9	p26	I/O
GND	-	8	7	p28	I/O
GND	-	6	5	p31	I/O
GND	-	4	3	p33	I/O
2.5/3.3Vcc	-	2	1	p36	I/O

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K2 connector					
Descriptions	FPGA pinout	K2 pinout	K2 pinout	FPGA pinout	Descriptions
GND	-	40	39	p128	I/O
GND	-	38	37	p130	I/O
GND	-	36	35	p132	I/O
GND	-	34	33	p137	I/O
GND	-	32	31	p141	I/O
GND	-	30	29	p2	I/O
GND	-	28	27	p5	I/O
GND	-	26	25	p7	I/O
GND	-	24	23	p10	I/O
GND	-	22	21	p12	I/O
GND	-	20	19	p14	I/O
GND	-	18	17	p17	I/O
GND	-	16	15	p20	I/O
GND	-	14	13	p23	I/O
GND	-	12	11	p25	I/O
GND	-	10	9	p27	I/O
GND	-	8	7	p30	I/O
GND	-	6	5	p32	I/O
GND	-	4	3	p35	I/O
2.5/3.3Vcc	-	2	1	p40	I/O

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K3 connector					
Descriptions	FPGA pinout	K3 pinout	K3 pinout	FPGA pinout	Descriptions
I/O	GND	40	39	-	GND
I/O	GND	38	37	-	GND
I/O	GND	36	35	-	GND
I/O	p68	34	33	-	GND
I/O	p65	32	31	-	GND
I/O	p63	30	29	-	GND
I/O	p60	28	27	-	GND
I/O	p59	26	25	-	GND
I/O , INIT_B	p58	24	23	-	GND
I/O	p57	22	21	-	GND
I/O	p56	20	19	-	GND
I/O , DIN	p55	18	17	-	GND
I/O	p53	16	15	-	GND
I/O	p52	14	13	-	GND
I/O	p51	12	11	-	GND
I/O	p50	10	9	-	GND
I/O	p47	8	7	-	GND
I/O	p46	6	5	-	GND
I/O	p44	4	3	-	GND
I/O	p41	2	1	-	2.5/3.3Vcc

ตารางที่ 1 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K4 connector					
Descriptions	FPGA pinout	K4 pinout	K4 pinout	FPGA pinout	Descriptions
I/O	p124	40	39	-	GND
I/O	p122	38	37	-	GND
I/O	p118	36	35	-	GND
I/O	p113	34	33	-	GND
I/O	p108	32	31	-	GND
I/O	p105	30	29	-	GND
I/O	p103	28	27	-	GND
I/O	p100	26	25	-	GND
I/O	p98	24	23	-	GND
I/O	p96	22	21	-	GND
I/O	p93	20	19	-	GND
I/O	p90	18	17	-	GND
I/O	p87	16	15	-	GND
I/O	p85	14	13	-	GND
I/O	p83	12	11	-	GND
I/O	p80	10	9	-	GND
I/O	p78	8	7	-	GND
I/O	p76	6	5	-	IGND
I/O	p73	4	3	-	GND
I/O	p69	2	1	-	2.5/3.3Vcc

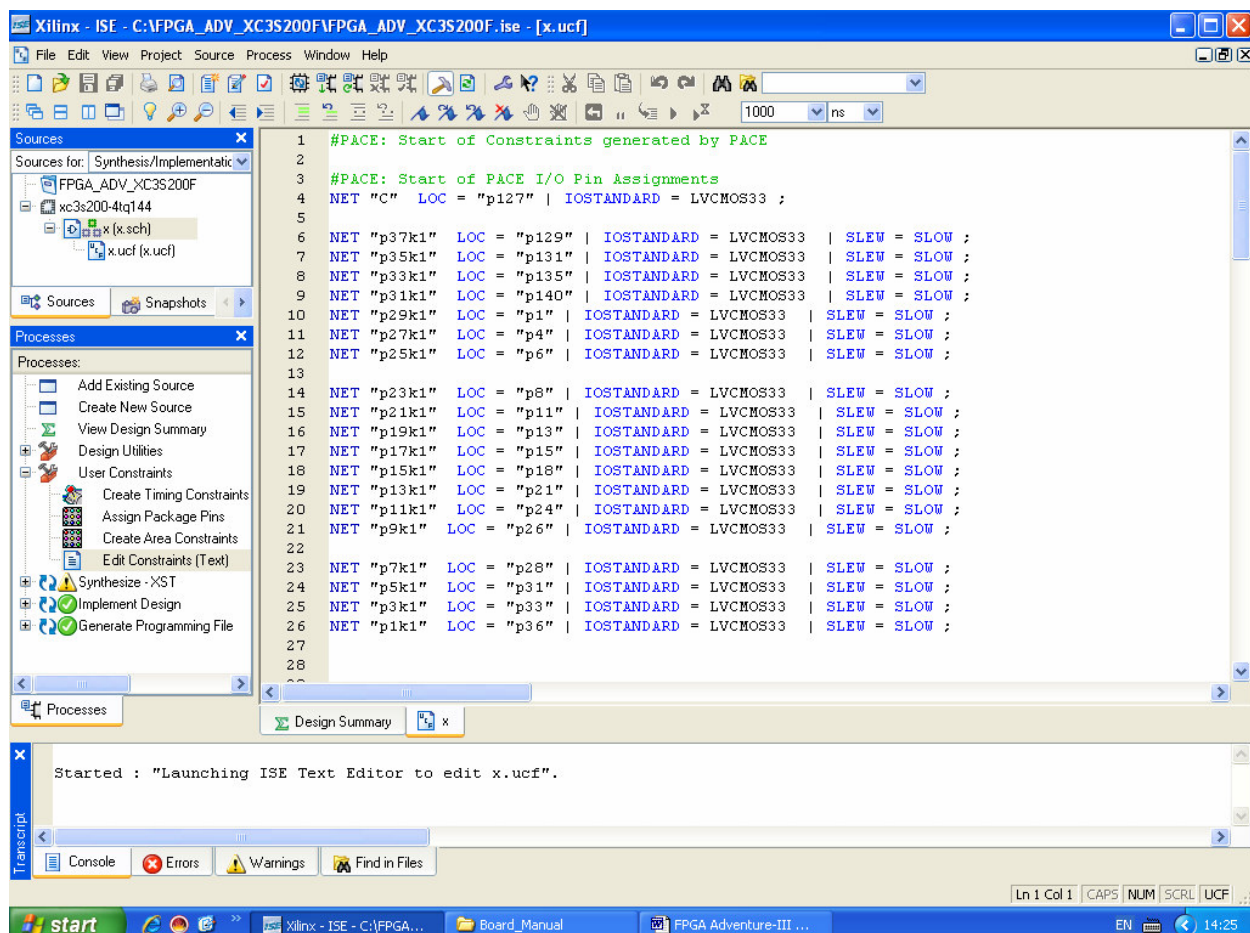
ตารางที่ 2 รายละเอียดของอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

K5 connector					
Descriptions	FPGA pinout	K5 pinout	K5 pinout	FPGA pinout	Descriptions
I/O	p125	40	39	-	GND
I/O	p123	38	37	-	GND
I/O	p119	36	35	-	GND
I/O	p116	34	33	-	GND
I/O	p112	32	31	-	GND
I/O	p107	30	29	-	GND
I/O	p104	28	27	-	GND
I/O	p102	26	25	-	GND
I/O	p99	24	23	-	GND
I/O	p97	22	21	-	GND
I/O	p95	20	19	-	GND
I/O	p92	18	17	-	GND
I/O	p89	16	15	-	GND
I/O	p86	14	13	-	GND
I/O	p84	12	11	-	GND
I/O	p82	10	9	-	GND
I/O	p79	8	7	-	GND
I/O	p77	6	5	-	GND
I/O	p74	4	3	-	GND
I/O	p70	2	1	-	2.5/3.3Vcc

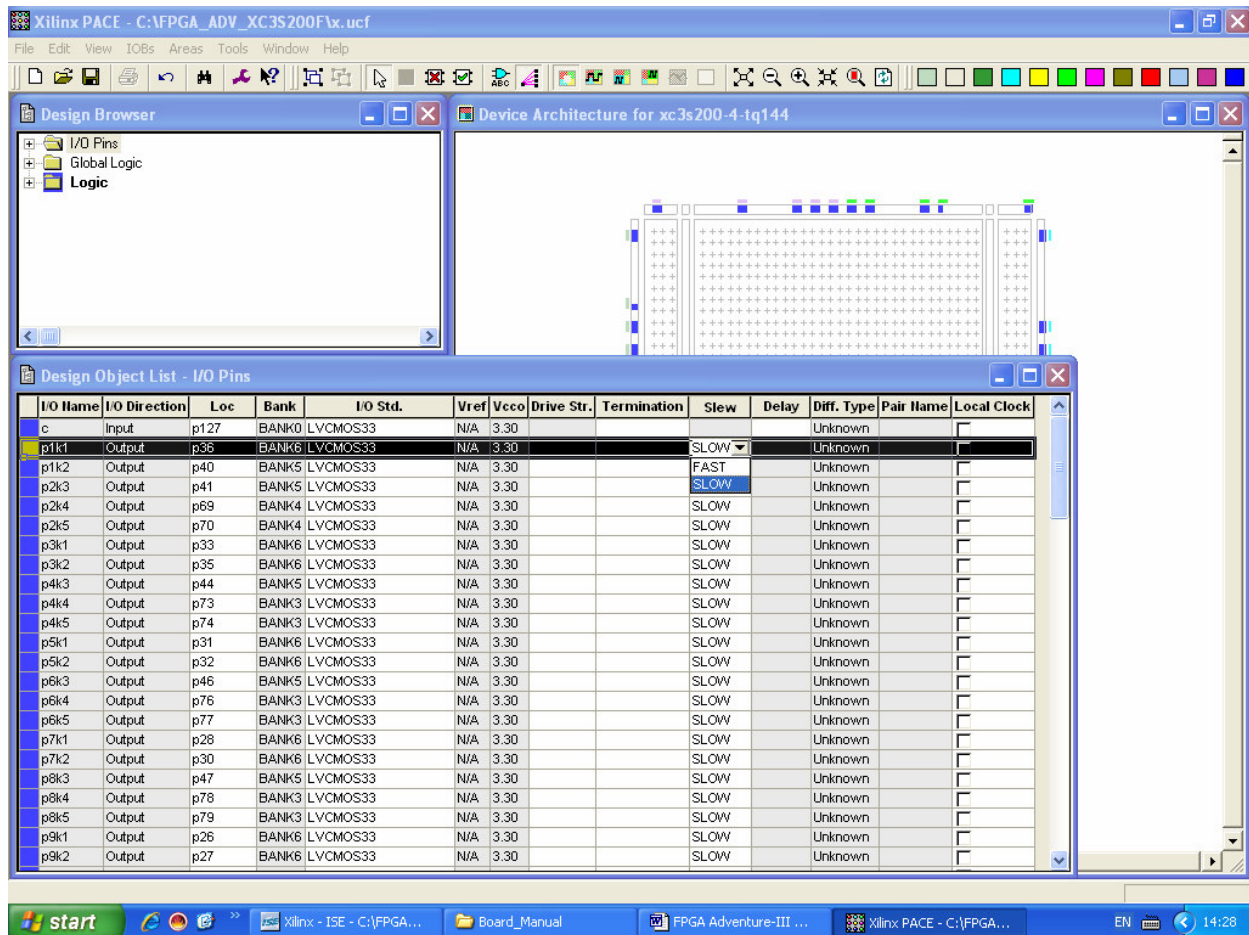
อินพุตเอาต์พุตพอร์ตที่คอนเนคเตอร์ K1- K5 มีรายละเอียด I/O ดังตารางที่ 1 ดังได้กล่าวมาแล้ว โดยที่คอนเนคเตอร์ K1- K5 จะถูกออกแบบเป็นสายสัญญาณและกราวด์ประมาณอย่างละครึ่งเพื่อแก้ปัญหาการรบกวนข้ามช่องสัญญาณ (Cross talk) ดังนั้นเมื่อต่อสายแพร์หรือสายริบบอนเข้ากับคอนเนคเตอร์แล้วจะได้สายสัญญาณและกราวด์วางเรียงสลับกันไปทุกเส้น(สาย Vcc ถ้าพิจารณาแบบ AC ก็ให้ผลเสมือนกราวด์เช่นกัน) ทำให้การรบกวนข้ามช่องสัญญาณเกิดได้ยาก ผลการสะท้อนของสัญญาณเอาต์พุตสามารถทำได้โดยโปรแกรมเอาต์พุตเป็น Slow slew Rate ความยาวสายสัญญาณสูงสุดในกรณีนี้จะใช้เกณฑ์ $2''/\text{ns}$ ถ้าเอาต์พุตเป็น Slow slew Rate 3 ns ควรสูงที่สุดที่ไม่มีการสะท้อน $= 2'' \times 3 = 6'' = 15 \text{ cm}$ หากยาวเกินจากนี้จะต้องใช้ตัวต้านทานมา Terminate ด้วยวิธีที่เหมาะสม และเนื่องไฟเลี้ยง Vcco ของบอร์ดนี้สามารถเลือก(J2)ได้ว่าจะให้เป็น 2.5 หรือ 3.3V ดังนั้น I/O ทั้งหมดจะเป็นระบบ 2.5 หรือ 3.3V เท่านั้น ซึ่งผู้ใช้จึงสามารถเลือก I/O ได้เพียง 3 ชนิดเท่านั้นคือ LVC MOS25 , LVC MOS33 หรือ LV TTL ดังตารางที่ 3 (ทั้งๆที่สามารถเลือกชนิด I/O ได้มากมาย ซึ่งขึ้นกับ Vcco) ตัวอย่างการโปรแกรมเอาต์พุตเป็นแบบ LVC MOS33 (IOSTANDARD = LVC MOS33) และเป็นแบบ Slow slew Rate (SLEW = SLOW) ใน Edit Constraints(Text)แสดงดังรูปที่ 10 หรือในหน้าต่าง PACE แสดงรูปที่ 11

Table 3: Single-Ended I/O Standards (Values in Volts)

Signal Standard	V _{CCO}		V _{REF} for Inputs ⁽¹⁾	Board Termination Voltage (V _{TT})
	For Outputs	For Inputs		
GTL	Note 2	Note 2	0.8	1.2
GTLP	Note 2	Note 2	1	1.5
HSTL_I	1.5	-	0.75	0.75
HSTL_III	1.5	-	0.9	1.5
HSTL_I_18	1.8	-	0.9	0.9
HSTL_II_18	1.8	-	0.9	0.9
HSTL_III_18	1.8	-	1.1	1.8
LVC MOS12	1.2	1.2	-	-
LVC MOS15	1.5	1.5	-	-
LVC MOS18	1.8	1.8	-	-
LVC MOS25	2.5	2.5	-	-
LVC MOS33	3.3	3.3	-	-
LVTTL	3.3	3.3	-	-



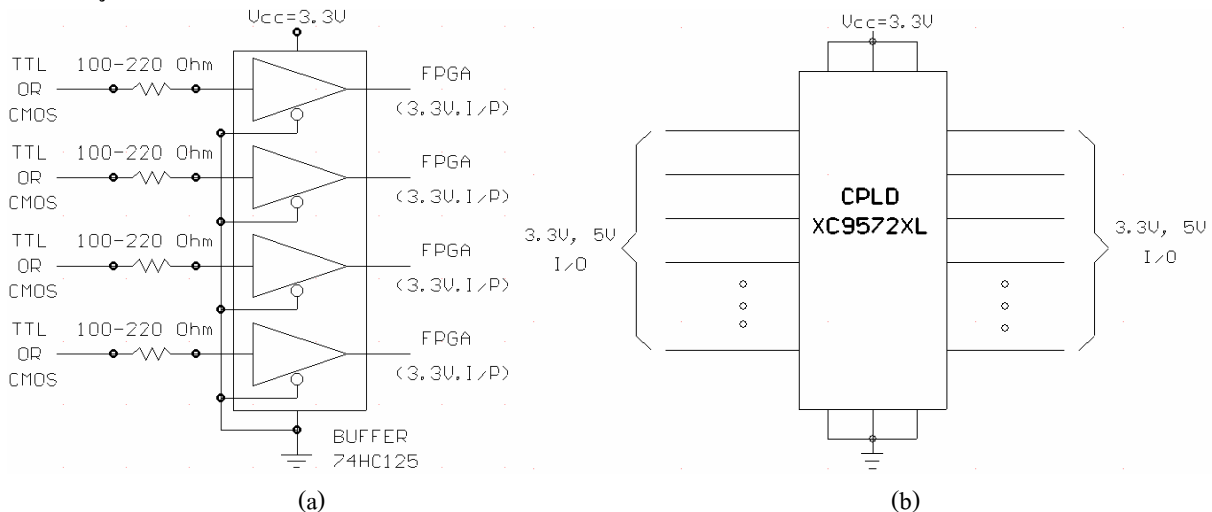
รูปที่10 การโปรแกรมเอด์พุตของ FPGA เป็นแบบ LVC MOS33 และเป็นแบบ Slow slew Rate ใน Edit Constraints(Text)



รูปที่ 11 การโปรแกรมเอาต์พุตของ FPGA เป็นแบบ LVCMOS33 และเป็นแบบ Slow slew Rate ในหน้าต่าง PACE

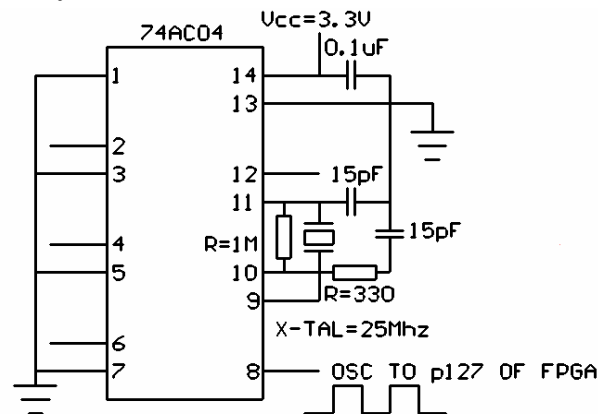
ในขณะที่ I/O เป็นเอาต์พุตก็จะสามารถขับอินพุตทั้งลอจิกที่ใช้กับระบบ 3.3V (ได้ทั้ง LVTTTL และ LVCMOS ฯลฯ) และ 5V (ตระกูล 7400 , 74LS00 , 74HCT) ได้โดยตรง แต่ถ้า I/O เป็นอินพุตจะใช้ได้เฉพาะระบบ 3.3V เท่านั้น การเชื่อมต่อเข้ากับเอาต์พุตจากภายนอกที่เป็นระบบ 5 โวลต์มีตัวอย่างแสดงดังรูปที่ 12(a) โดยใช้ตัวต้านเพื่อจำกัดกระแสไหลเข้าไม่ให้อินพุตบัพเฟอร์เสียหาย หรือใช้ CPLD ตระกูล XC9500XL ซึ่งสามารถรับอินพุตระบบ 3.3V และ 5V ได้โดยตรงแสดงดังรูปที่ 12(b)

การต่อตัวต้านทานทูลอัพ (Pulled up) ภายในชิพพร้อมกันทุกตัวทำได้โดยการใส่ Jumper J2 เพียงตัวเดียวเท่านั้น แต่ถ้าไม่ต้องการทูลอัพก็ให้ถอด J2 ออก



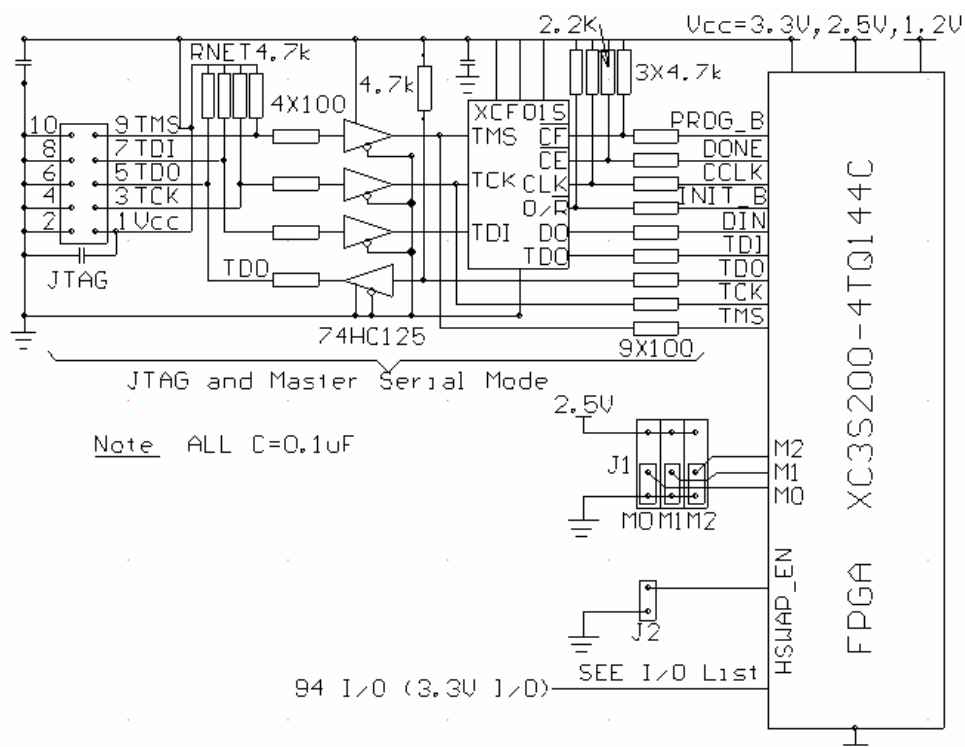
รูปที่ 12 ตัวอย่างการเชื่อมต่อเอาต์พุตจากไอซีตระกูล TTL หรือ CMOS กับอินพุตของ FPGA

วงจรรอสซิทเลเตอร์แสดงดังรูปที่ 13



รูปที่ 13 วงจรออกสวิตลเลเตอร์

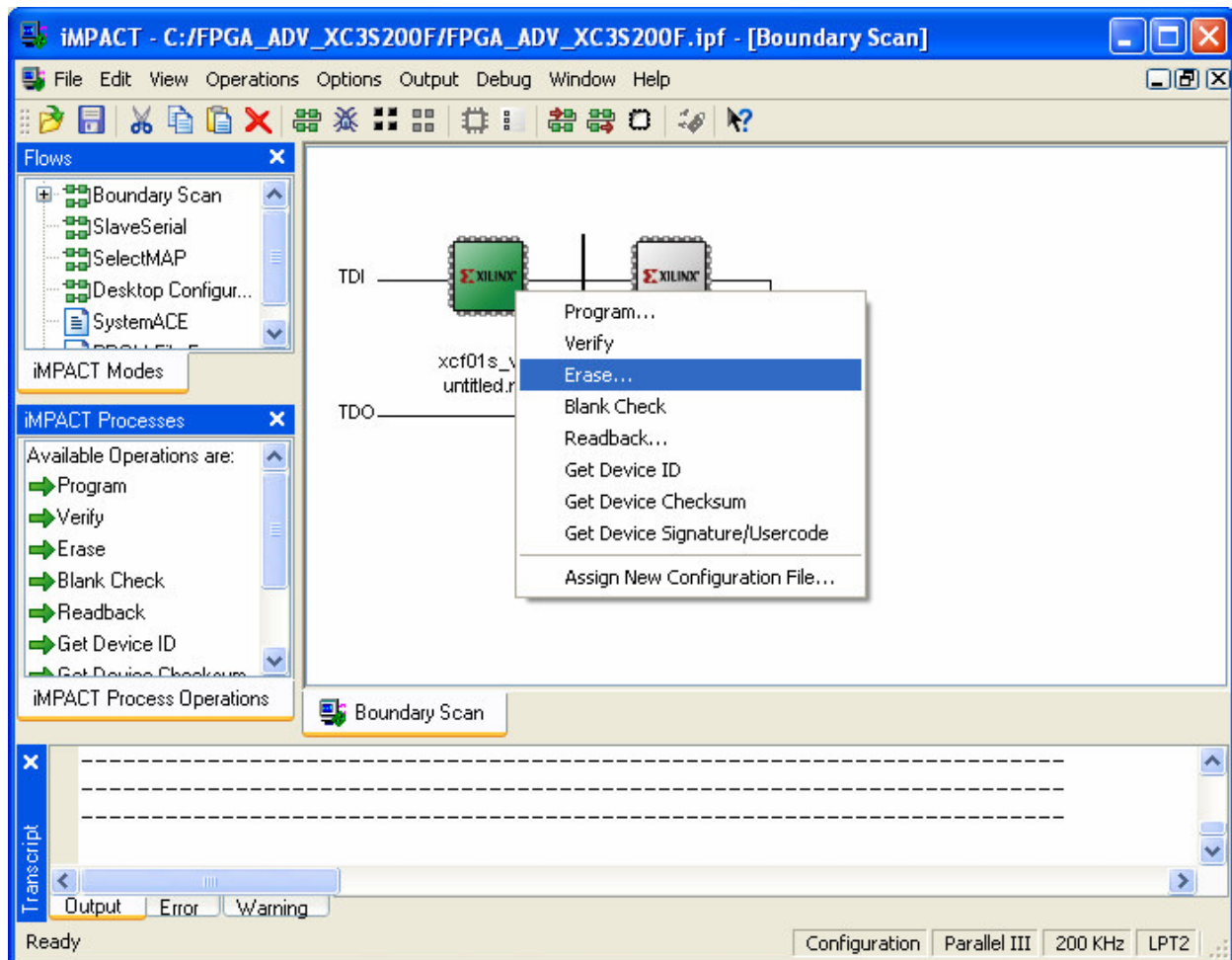
JTAG คอนเนคเตอร์ใช้สำหรับต่อสายคาวน์โหลด(JTAG Cable) เข้ากับพอร์ตขนาน(Printer Port)ของคอมพิวเตอร์ เพื่อโปรแกรมข้อมูลวงจร (Configuration data) ลง FPGA โดยสายสัญญาณของ JTAG ต่อผ่านไอซีเบอร์ 74HC125 ที่ทำหน้าที่เป็นบัฟเฟอร์และลด Slew rate ของขาสัญญาณ TDO ของ FPGA เพื่อป้องกันสัญญาณรบกวนข้ามช่องในสาย JTAG ตัวต้านทาน 100 โอห์มจะต่อไว้เพื่อลดสัญญาณสะท้อนแสดงดังรูปที่ 14 วงจรนี้ได้ถูกออกแบบให้โปรแกรม Serial Flash PROM และ FPGA ใน JTAG Mode (Boundary Scan Mode) ได้โดยตรงด้วยสายคาวน์โหลด และทุกครั้งที่จ่ายไฟเลี้ยง Serial Flash PROM จะโปรแกรม FPGA อย่างอัตโนมัติใน Master Serial Mode ดังนั้นจากตารางที่ 4 จึงต้องเซต Jumper J1 ให้ M0, M1, M2 = 000 ก่อนการโปรแกรม FPGA โดยตรงผ่านทางสาย JTAG นั้นผู้ใช้จะต้องลบข้อมูลใน Flash PROM ออกดังรูปที่ 15 ก่อนเสมอ การไม่ลบข้อมูลวงจรออกก่อนอาจทำให้ข้อมูลที่โปรแกรมลง FPGA ไม่สมบูรณ์ (โดยไม่มีกรณีเตือนว่าเกิดข้อผิดพลาด) เพราะ FPGA จะถูกโปรแกรมจาก Flash PROM อย่างอัตโนมัติเรียบร้อยแล้วทันทีที่เริ่มต้นจ่ายไฟเลี้ยง สายคาวน์โหลดสามารถใช้ได้ทั้งแบบที่เป็นของผู้ผลิต(Xilinx) หรือจะใช้ผลิตภัณฑ์ของบริษัทก็ได้ (ซึ่งให้มาพร้อมกับบอร์ดทดลองอยู่แล้ว) และว่าไม่ว่าจะตั้งค่า M0, M1 และ M2 อยู่ในโหมดอื่นใดก็สามารถโปรแกรมโดยใช้สาย JTAG ได้



รูปที่ 14 วงจรที่สามารถโปรแกรมใน JTAG Mode (Boundary Scan Mode) และ Master Serial Mode ได้

ตารางที่ 3 รายการเซตโหมดในการโปรแกรม FPGA

Configuration Mode	M0	M1	M2
Master Serial	0	0	0
Slave Serial	1	1	1
Master Parallel	1	1	0
Slave Parallel	0	1	1
JTAG	1	0	1

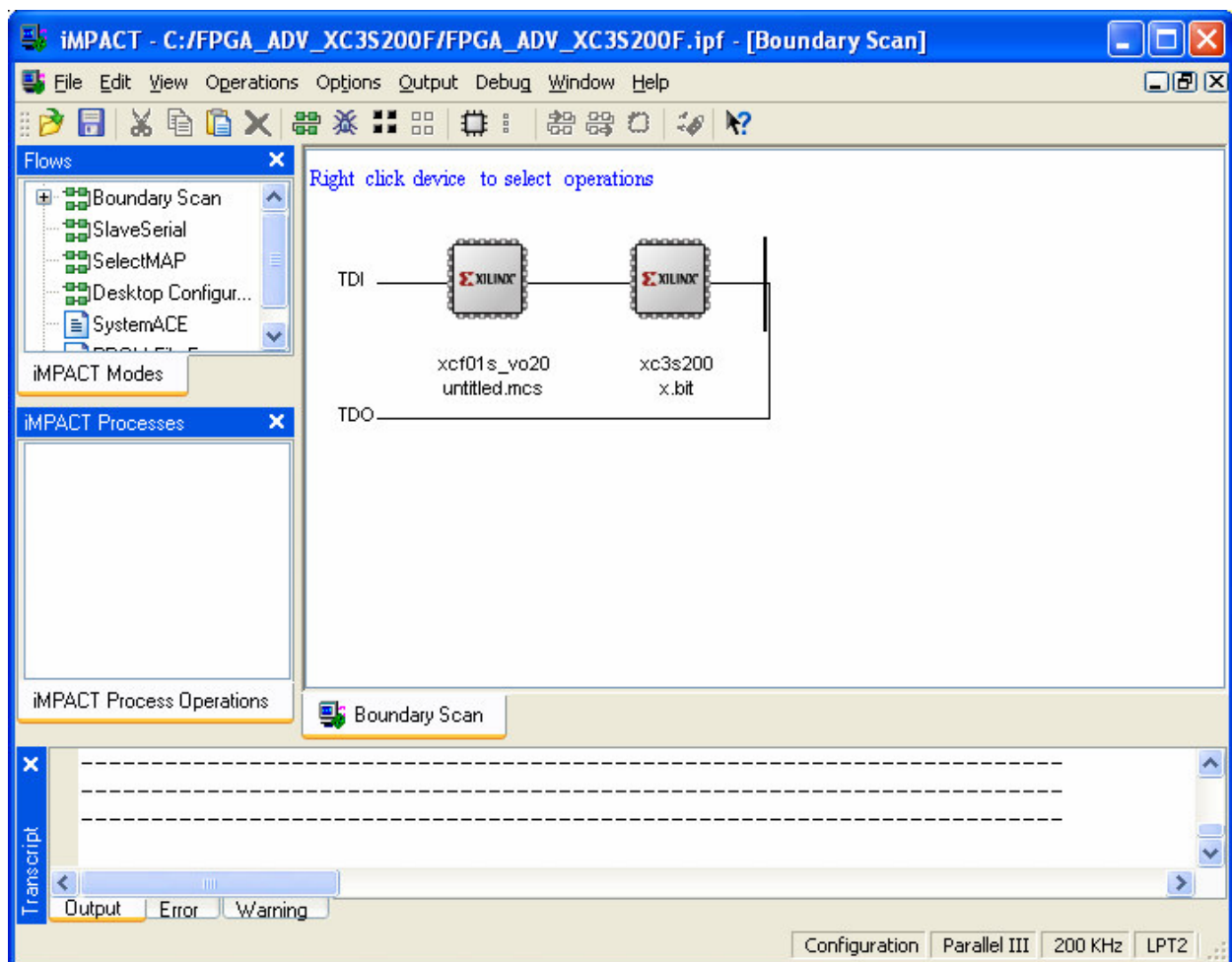


รูปที่ 15 แสดงการลบข้อมูลใน Flash PROM ก่อนการโปรแกรม FPGA โดยตรงผ่านทางสาย JTAG

บอร์ดทดลองนี้ใช้ไฟเลี้ยง 4.5 – 9 VDC โดยต่ออะแดปเตอร์ (ซึ่งให้ไปพร้อมกับบอร์ดทดลองอยู่แล้ว) ที่มีสายด้านในเป็นไฟบวกและด้านนอกเป็นกราวด์ จากนั้นลดระดับแรงดันให้ลงเหลือ 3.3V , 2.5V และ 1.2V ตามลำดับ โดยใช้ไอซีเรกูเลเตอร์ เบอร์ LM1117T-3.3 และ LM317T หากมีไฟเลี้ยงเข้าบอร์ดจะทำให้ LED Power บนบอร์ดติดสว่าง

ในการโปรแกรมวงจรดิจิทัลที่ต้องการออกแบบลงใน FPGA จะสร้างไฟล์ที่พร้อมจะโปรแกรมลง Platform Flash PROM และ FPGA แล้วจึงทำการต่อสาย JTAG และต่อไฟเลี้ยงเข้าบอร์ด จากนั้นจึงทำการดาวน์โหลดวงจรที่ต้องการลงสู่ Flash PROM และชิพ FPGA ตามลำดับ ซึ่งในกรณีที่ใช้กับบอร์ดทดลองนี้ในขั้นตอนดาวน์โหลดนั้นที่จ็อกคอมพิวเตอร์จะปรากฏชิพ Platform Flash PROM และ FPGA พร้อมกันแสดงดังรูปที่ 16 เพราะมีการออกแบบให้ในโหมด JTAG ต่อถึงกันแบบลูกโซ่เพื่อสะดวกเมื่อโปรแกรมโดยใช้สาย JTAG เราจึงสามารถดาวน์โหลดข้อมูลลงชิพทั้งสองตัวหรือตัวใดตัวหนึ่งก็ได้ ในขั้นตอน

พัฒนางจรเราอาจเลือกโปรแกรมให้ FPGA เพียงตัวเดียวก็ได้ (แต่ต้องไม่ลืมว่า ก่อนการโปรแกรม FPGA โดยตรงผ่านทางสาย JTAG นั้นผู้ใช้จะต้องลบข้อมูลใน Flash PROM ออกดังรูปที่ 15 ก่อนเสมอ) เมื่อพัฒนาเรียบร้อยแล้วจึงโปรแกรมวงจรไปเก็บไว้ใน Platform Flash PROM วิธีนี้จึงทำให้ไม่ต้องโปรแกรม Platform Flash PROM บ่อยจึงเท่ากับเป็นการยืดอายุการใช้งานของ Platform Flash PROM ออกไป และเนื่องจาก Platform Flash PROM และ FPGA ต่อกันในโหมด Master serial (M0, M1, M2 = 0) อีกด้วย ดังนั้นทุกครั้งที่เริ่มจ่ายไฟให้บอร์ดทดลอง FPGA จะดาวน์โหลดข้อมูลจาก Platform Flash PROM มาที่ FPGA อย่างอัตโนมัติ



รูปที่ 16 ขั้นตอนดาวน์โหลดที่จอกอมพิวเตอร์จะปรากฏชิพ Flash PROM และ FPGA พร้อมกัน